

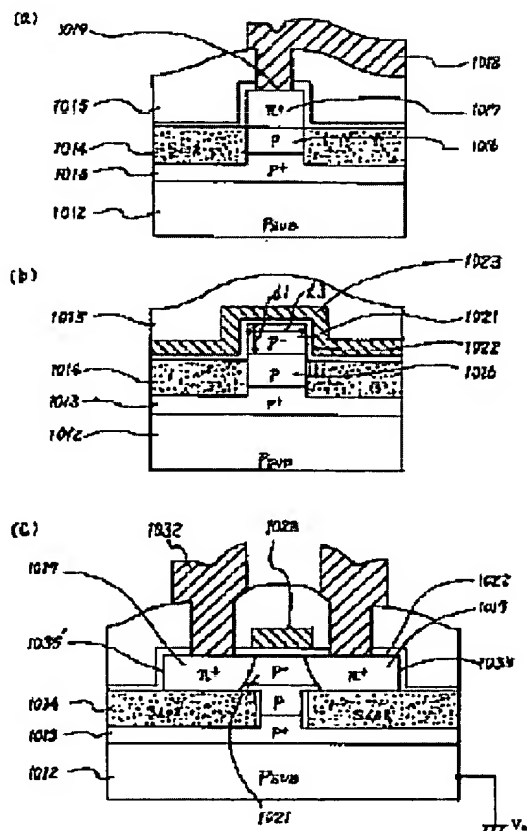
SEMICONDUCTOR DEVICE PROVIDED WITH IMPROVED INSULATED-GATE TRANSISTOR

Patent number: JP5167043
Publication date: 1993-07-02
Inventor: YUZURIHARA HIROSHI; KADOMA GENZO; ISHIZAKI AKIRA; KOUCHI TETSUNOBU; MIYAWAKI MAMORU
Applicant: CANON KK
Classification:
- international: G11C17/08; H01L21/8246; H01L21/8247; H01L27/08; H01L27/10; H01L27/112; H01L27/115; H01L29/78; H01L29/788; H01L29/792; G11C17/08; H01L21/70; H01L27/08; H01L27/10; H01L27/112; H01L27/115; H01L29/66; (IPC1-7): G11C17/08; H01L27/08; H01L27/10; H01L27/112; H01L27/115; H01L29/784; H01L29/788; H01L29/792
- european:
Application number: JP19920106856 19920424
Priority number(s): JP19920106856 19920424; JP19910097244 19910426; JP19910097257 19910426; JP19910129506 19910531

Report a data error here

Abstract of JP5167043

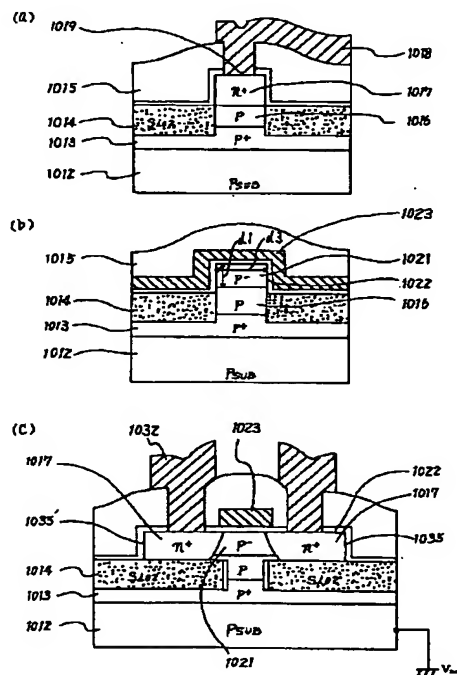
PURPOSE: To realize the high integration and the high speed of a memory by a method wherein a low-resistance material for a power-supply line is shared and an interconnection is shared and to read out a signal which has been written in a high S/N ratio and to realize a low-error-rate memory by a method wherein a conductive state by destroying a memory element such as a p-n junction or the like is formed. **CONSTITUTION:** A semiconductor device which is provided with an insulated-gate transistor and a transistor wherein a gate electrode 1023, a channel region 1021, a high impurity-concentration region 1017 and a main electrode region 1019 which are faced are provided and the main electrode region is formed on a substratum insulating layer 1022 is provided. In addition, by installing a destroyable memory element in the main electrode region, a one-time memory whose high integration and high-speed operation are achieved is provided. In its manufacturing method, active regions are formed in a large opening part and a small opening part in an insulating film, and an alignment operation is performed easily. When a drain is shared, a power-supply line can be shared and the high integration of the title device is promoted.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号



1

【特許請求の範囲】

【請求項 1】 複数の主電極領域と、その間に設けられたチャンネル領域と、前記チャンネル領域に対してゲート絶縁膜を介して設けられたゲート電極と、前記チャンネル領域に接して設けられた該チャンネル領域と同じ導電型で且つ該チャンネル領域より不純物濃度の高い半導体領域とを有し、前記ゲート電極は互いに対向する 2 つの対向部分を少なくとも有しており、前記複数の主電極領域が下地絶縁層上に設けられ、前記半導体領域が所定の電位に保持された状態で動作する、絶縁ゲート型トランジスタ。

【請求項 2】 複数の主電極領域と、その間に設けられたチャンネル領域と、前記チャンネル領域に対してゲート絶縁膜を介して設けられたゲート電極と、前記チャンネル領域に接して設けられた該チャンネル領域と同じ導電型で且つ該チャンネル領域より不純物濃度の高い半導体領域とを有し、前記ゲート電極は互いに対向する 2 つの対向部分を少なくとも有しており、前記複数の主電極領域が下地絶縁層上に設けられ、前記半導体領域が所定の電位に保持された状態で動作する絶縁ゲート型トランジスタと、前記主電極領域の一方に設けられた電氣的に破壊可能なメモリ要素と、

を具備することを特徴とする半導体装置。

【請求項 3】 前記メモリ要素を破壊することにより情報の記憶を行うことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記ゲート電極と前記半導体領域とが前記主電極領域と前記チャンネル領域とを結ぶ方向に沿った少なくとも 4 つの面を囲んでいることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】 前記チャンネル領域を挟んで前記半導体領域と対向する側には、該チャンネル領域と同じ導電型で且つ該チャンネル領域より不純物濃度の高い第 2 の半導体領域が設けられていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 6】 前記主電極領域と前記チャンネル領域との間に前記主電極領域と同じ導電型で且つ該主電極領域より不純物濃度の低い第 3 の半導体領域が設けられていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】 電源用配線が前記トランジスタのソース・ドレイン方向に長く配設されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 8】 電源用配線が前記トランジスタのソース・ドレイン方向と交差する方向に長く配設されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 単結晶半導体基体上に、該基体表面を露出させる開孔と該開孔の口径よりも大きな凹部とを有する絶縁領域を形成し、該開孔内及び該凹部に単結晶半導体領域を形成し、該単結晶半導体領域の少なくとも一部を活性領域とする半導体素子を形成することを特徴とする半導体装置の製造方法。

2

【請求項 10】 前記半導体領域は、前記開孔部より露出した単結晶半導体基体表面をシードとする気相エピタキシャル成長法により形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記半導体領域は、該開孔部及び該凹部内に非単結晶半導体領域を形成し、固相エピタキシャル成長法により形成することを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 12】 ソース及びドレイン領域と、その間に設けられたチャンネル領域と、前記チャンネル領域に対してゲート絶縁膜を介して設けられたゲート電極と、前記チャンネル領域に接して設けられた該チャンネル領域と同じ導電型で且つ該チャンネル領域より不純物濃度の高い半導体領域とを有し、前記ゲート電極は互いに対向する 2 つの対向部分を少なくとも有しており、前記ソース及びドレイン領域が絶縁層上に設けられ前記半導体領域が所定の電位に保持された状態で動作する絶縁ゲート型トランジスタが複数設けられ、前記ソース領域に電氣的に破壊可能なメモリ要素が設けられており、前記ドレイン領域が前記複数のトランジスタにおいて共通に構成されていることを特徴とする半導体装置。

【請求項 13】 第 1 主電極領域と、第 2 主電極領域と、それらにある第 1 のチャンネル領域と、該第 1 のチャンネル領域に対して第 1 のゲート絶縁膜を介して設けられた第 1 のゲート電極と、第 3 主電極領域と、第 2 及び第 3 主電極領域間にある第 2 のチャンネル領域と、該第 2 のチャンネル領域に対して第 2 のゲート絶縁膜を介して設けられた第 2 のゲート電極と、を有し、前記第 1、第 2、第 3 主電極領域と第 1、第 2 チャンネル領域とが半導体基板表面部分に設けられた半導体島領域に形成され、前記第 1 及び第 2 のゲート電極はそれぞれ前記第 1 及び第 2 のチャンネル領域を挟持する対向部分を有しているトランジスタを具備することを特徴とする半導体装置。

【請求項 14】 前記トランジスタはマトリクス状に複数設けられており、所定の行の前記第 1 のゲート電極を共通に接続する第 1 行線と、所定の行の前記第 2 のゲート電極を共通に接続する第 2 行線と、所定の列の前記第 2 主電極領域を共通に接続する第 1 列線と、所定の列の第 1 及び第 3 主電極領域を共通に接続する第 2 列線と、を有する請求項 13 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複写機、ファクシミリ装置、プリンター、ビデオカメラ等の OA 機器、家庭電化製品はもちろんのこと、自動車、発電所、宇宙衛生などありとあらゆる技術分野の電子回路に用いられる半導体装置に関する。特に、本発明は必要な情報信号を記憶する半導体メモリに用いられて好適な半導体装置に深く関連する。

【0002】

【従来の技術】図1には、一度だけ記憶プログラムの可能な半導体記憶装置（半導体メモリー）の構成が示されている。これは絶縁ゲート型電界効果トランジスタとしてMOS型電界効果トランジスタ（以下「MOSFET」という）と絶縁膜とを有するメモリセルから構成されている。

【0003】このようなメモリーは、例えば、“A New Programmable Cell Utilizing Insulator Breakdown,” IEDM' 85, pp 639-642に記載されている。

【0004】また別のタイプの半導体メモリーとしては図2に示すものがある。

【0005】図2は、その断面図であり、120はn型基板、121はp+ドレイン、122 p+ソース、123はフローティングゲート、124は絶縁層、125はドレイン配線、126はソース配線である。この123のフローティングゲートは、たとえば多結晶シリコンをシリコン酸化膜の中に埋め込まれて作製される。ソース・ドレイン間は、通常状態で非導通である。このトランジスタのソース・ドレイン間に負の高電圧を印加し、ドレイン側のpn接合をアバランシェブレイクダウンさせ、このとき発生する高エネルギー電子をフローティングゲートに注入し、ソース・ドレイン間を導通状態とすることにより書き込みが行われる。この素子をメモリとして用いる場合には、フローティングゲートに電荷を注入するかしないかを情報の1と0に対応させる。しかしながら、このタイプのメモリは、フローティングに蓄積した電荷がわずかにリークするため、永久的情報の保持はできないばかりか、読出し特性が経時変化を生じるといった問題点を有していた。しかも、上述したMOSFETは微細化に適しておらず、相互コンダクタンスが小さいという特性（gm特性）に問題がある。

【0006】しかも、微細化の為にゲート長が $0.5\mu\text{m}$ 以下になると、スケール側面に基く上記MOSFETの改善は望めない。

【0007】また、これらとは別に、Si基板上にSiO₂層を設け、更にSiメサ構造を設け、メサ側壁にゲート酸化膜を設けたSOI型MOSFET構造が提案されている。〔公開特許公報 平2-14578号〕この素子構造を図3、図4に斜視図で示す。232は絶縁膜、231'は結晶性Si、236はソース領域、237はドレイン領域である。235はゲート電極で、上記結晶性Si部のチャンネル領域をまたぐ構造となっている。この図4のaa'断面図が図3である。

【0008】図3に示すように、結晶性Si、231'部はゲート電極235にゲート酸化膜234を介して上方の3面が覆われ、又、下面238は、絶縁膜232の表面となっている。又、結晶性Si部の寸法は、

$$W_0 < 2W_H$$

を満足するようになっており、側壁のチャンネルが優勢になり、チャンネルコンダクタンスが増大する構造となっている。

【0009】さらに、上記従来例と構造的に似たMOSFETも提案されている。〔公開特許公報 平2-263473号〕この例の平面図を図5に、図5中のAA'の断面図を図6に、図5中のBB'の断面図を図7に示す。246はソース243ドレイン242及び、チャンネルを形成する結晶性Si層である。ゲート電極245で覆われた結晶性Si層246は、チャンネル領域であるが、このチャンネル領域は、基板240と開口部247を介して接続され、ドレイン層242は、結晶性Si層246を通り、248の開口部を介して基板240と接続している。

【0010】以上詳述した各従来例について、検討した結果上述した構造とはいえ、トランジスタのリーク電流が多い点、各トランジスタのバラツキが大きい点、さらにトランジスタのOFF特性が悪く、動作が不安定となることが判明した。まず、SOI型MOSFETのOFF特性が悪くなる原因について説明する。本発明者らの知見によれば、その原因はチャンネルが形成されるSi領域がソース及びドレイン領域との界面を除いてすべて絶縁膜であるSiO₂で覆われているからである。つまり、チャンネル部のSi領域は完全なフローティング状態となっており、その電位が固定できず動作が不安定となる。さらにトランジスタのON状態に上記Si領域に発生したキャリア（例えばp型MOSFETの時は電子）がOFF状態になった瞬間行き場所がなくなりSi領域内で再結合し消滅するまでそこに残るためにOFF特性が悪くなるのである。又、上記説明した従来のトランジスタにおいて、リーク電流が多い原因は、ゲート電極で囲まれているチャンネル領域が直接下地の絶縁層と直接接する構造となっているためである。つまりこのチャンネル領域は、トランジスタがON状態になると、完全に空乏化する状態になっており、空乏層がチャンネル層と絶縁層との界面に達し、そこに存在する欠陥から再結合電流が多量に発生するからである。

【0011】（発明の目的）本発明は、上述した技術的課題に鑑みなされたものであり、微細加工に適した構成で、低消費電力で高速動作可能な半導体装置を提供することを目的としている。

【0012】本発明の別の目的は正確な書き込み動作が安定して得られ、高速且つ正確な読み出し動作が可能なメモリー機能を有する半導体装置を提供することにある。

【0013】本発明の目的は、複数の主電極領域と、その間に設けられたチャンネル領域と、前記チャンネル領域に対してゲート絶縁膜を介して設けられたゲート電極と、前記チャンネル領域に接して設けられた該チャンネル領域と

5

同じ導電型で且つ該チャネル領域より不純物濃度の高い半導体領域とを有し、前記ゲート電極は互いに対向する2つの対向部分を少なくとも有しており、前記複数の主電極領域が下地絶縁層上に設けられ、前記半導体領域が所定の電位に保持された状態で動作する絶縁ゲート型トランジスタ及び、該トランジスタと、前記主電極領域の一方に電氣的に破壊可能な絶縁層を有するメモリ要素と、を具備することを特徴とする半導体装置により達成される。

【0014】本発明の他の目的は従来よりも優れたSOI型バックゲート構造のFETを提供することにある。

【0015】本発明の目的は単結晶半導体基体上に、該基体表面を露出させる開孔と該開孔の口径よりも大きな凹部とを有する絶縁領域を形成し、該開孔内及び該凹部に単結晶半導体領域を形成し、該単結晶半導体領域の少なくとも一部を活性領域とする半導体素子を形成することを特徴とする半導体装置の製造方法により達成される。

【0016】本発明の他の目的は、第1主電極領域と、第2主電極領域と、それらの間にある第1のチャネル領域と、該第1のチャネル領域に対して第1のゲート絶縁膜を介して設けられた第1のゲート電極と、第3主電極領域と、第2及び第3主電極領域間にある第2のチャネル領域と、該第2のチャネル領域に対して第2のゲート絶縁膜を介して設けられた第2のゲート電極と、を有し、前記第1、第2、第3主電極領域と第1、第2チャネル領域とが半導体基板表面部分に設けられた半導体島領域に形成され、前記第1及び第2のゲート電極はそれぞれ前記第1及び第2のチャネル領域を挟持する対向部分を有しているトランジスタを具備することを特徴とする半導体装置を提供することにある。

【0017】本発明の他の目的は、ソース及びドレイン領域と、その間に設けられたチャネル領域と、前記チャネル領域に対してゲート絶縁膜を介して設けられたゲート電極と、前記チャネル領域に接して設けられた該チャネル領域と同じ導電型で且つ該チャネル領域より不純物濃度の高い半導体領域とを有し、前記ゲート電極は互いに対向する2つの対向部分を少なくとも有しており、前記対向部分が前記チャネル領域と前記半導体領域との接合面と交差する面を有するように配設されている絶縁ゲート型トランジスタが複数設けられ、前記ソース領域に電氣的に破壊可能なメモリ要素が設けられており、前記ドレイン領域が前記複数のトランジスタにおいて共通に構成されていることを特徴とする半導体装置により達成される。

【0018】即ち、微細に適した、かつ電流駆動能力の高いトランジスタをメモリセルトランジスタとして有し、本トランジスタのゲートをワード線とし、本トランジスタのソース領域上にPN接合を介して、ビット線に接続した半導体メモリを構成する。これにより、エラ

6

ーレートの少ない、高密度、高速読み出し書き込み特性を有する1回永久書き込み可能な半導体メモリが実現できる。そのメモリにおいてメモリセルトランジスタにおけるドレイン領域を他のメモリセルと共通に構成し、電源ラインと接続することにより、複数のメモリの電源ラインを共通化し、電源部の面積を減少させることにより、一定面積に存在するメモリセルトランジスタの数を増加させることができる。これにより、本メモリの高集積化が実現できる。

【0019】

【作用】本発明によれば、対向した2つのゲート電極により、キャリア移動方向に対する垂直方向電界強度が小さいので、高移動度、高gm特性の半導体装置が得られ、電界緩和によりホットキャリアの発生が防止でき素子の寿命しいては信頼性が向上する。

【0020】そして、ゲート酸化膜下のSi部の静電容量が減少するのでSファクタ(Subthreshold swing)特性が向上しリーク電流が極めて少なくなる。

【0021】又、素子の占有面積減少し高集積化が実現できる。

【0022】更に本発明によれば、チャネル領域における対向した2つのゲート電極が設けられた部分以外のところに、ソース・ドレイン部の導電型と異なる導電型で且つチャネル領域より不純物濃度の高い領域が設けられており、その不純物濃度が、トランジスタの駆動の時ゲートにかかる駆動電圧によって反転しないような濃度とされた構造を採用することにより、トランジスタON/OFF時、対向した2つのゲート電極にかこまれた半導体層への少数キャリア(NチャネルMOSであれば正孔、PチャネルMOSであれば電子)の出入が速くなり、スイッチング特性が向上する。

【0023】又、この高濃度層により、トランジスタがON時にチャネル領域が完全に空乏化しても空乏層が下地の絶縁層まで達せず、暗電流発生が抑制される。

【0024】又0.1 μ mレベルの微細化が進んだ場合には液体窒素温度レベルの低温動作にも適応しなければならないが、この低温動作を行ないキャリア凍結があったとしても従来に比べて、寄生抵抗の増大ドレイン電流の低下は極めて少ない。

【0025】本発明によれば、SOI型MOSFETの製造時に、SEG等により形成される単結晶半導体領域を同一膜、あるいは2つ以上の種類の膜により形成される2層以上の絶縁膜により規定することにより、自己整合的にSOI型MOSFETを形成することが可能である。

【0026】そして、アライメントマージン等を見無視できるので、高集積、高速化が可能な半導体装置を製造可能とするものである。

【0027】更に、本発明によれば、SEGのシード、

7

あるいは、半導体基板との接続領域以外の、絶縁層と、SEG等により形成される単結晶半導体領域の間に、多結晶、あるいは、アモルファス半導体層をバッファ層として形成することにより、上記単結晶半導体領域中に形成されるMOSFETのリーク電流等を抑えることが可能である。

【0028】（好適な実施態様の説明）まず、本発明の基本となるトランジスタ及び半導体メモリーの構成について説明する。

【0029】本発明の好適な実施態様の1つは、ゲート電極がチャンネル領域を挟む対向部分を少なくとも有しチャンネル領域におけるソース領域やドレイン領域との接合部を除いた他の部分の一部が、該チャンネル領域と少数キャリアの授受可能なドープ領域に接して設けられるトランジスタを有し、破壊可能な絶縁層をメモリ要素とした半導体メモリーである。

【0030】そして、本発明による半導体装置のチャンネル領域では、ゲート電極の対向部分に挟まれたチャンネル領域の対向部分方向の幅（ d_3 ）と、チャンネル領域の半導体の不純物濃度とが以下のように決定される。つまり、ゲート電圧がOFF時であっても対向部分から伸びる空乏層がつながり空乏化するように適宜選択される。具体的にはゲート電極の対向部分方向のチャンネル領域の幅を d_3 、同方向に伸びる空乏層の幅を W とすると $d_3 \leq W$ という関係を満足する。これは両対向電極間のチャンネル領域が空乏層化していると、反転層が形成されるレベルまでゲート電圧を上昇しても前記チャンネル領域内部にかかる電界が緩和されて素子の特性が向上する。

【0031】また、ドープ領域とは、ソース及びドレイン領域の導電型とは異なる導電型で且つチャンネル領域より不純物濃度の高い半導体領域であればよく、その不純物の種類や導電型は限定されるものではない。具体的には、そのドープ領域における不純物濃度を、トランジスタの駆動の際にゲートにかかる駆動電圧によって該ドープ領域が反転しないような濃度とされる。そして機能的には、動作状態（オンまたはオフ時）においてゲート電極の対向部分に挟まれたチャンネル領域からのキャリアを受容出来る構成であればよい。その為には、周知の通りドープ領域を直接又は同じ導電型の半導体基板等を介して基準電位（ V_{Ref} ）に保持すればよい。

【0032】本発明のゲート電極として用いられる材料としては、金属、多結晶シリコン、シリサイド、ポリサイド等があり、具体的にはAl、W、Mo、Ni、Co、Rh、Pt、Pdそのもの、或はこれ等のシリサイド、ポリサイドであり、MOSFETの構造、駆動条件等とその仕事関数を考慮して適宜選択される。

【0033】またゲート電極、ドープ領域の形状は、ドープ領域と対向する部分にはゲート電極がない構造、又は、そこが同じドープ領域となっているもの、或は後述する実施例の如く、ドープ領域と対向する部分にもゲ

8

ト電極の一部が配置される構成である。更には3つの面がゲート電極で囲まれ残りの部分がドープ領域に接しているように、キャリア移動方向に対して垂直な方向に切断した時のチャンネル領域の断面形状が四角形等の方形状となっていることが好ましい。その辺は正確な直線ではなく曲率を持った辺であってもよいし、その時の各エッジ部分はゲート絶縁膜の被覆性を考慮して面取りされているような形状であってもよい。

【0034】本発明の特体メモリーに好適なトランジスタとしては、後述の各実施例で示される様にMOSFET要素が基板上に横におかれるタイプで基板側でドープ領域に接しており、ゲート電極の対向部分が基板表面に対して交差する面を持つように配置される形がよい。ほかに、ゲート電極の対向部分が基板表面と実質的に平行に配置され側面にドープ領域が設けられた構成であってもよいが現状の製造プロセスを考慮すると前者即ち後述する各実施例による構成が好ましい。

【0035】例えばH. tadato、K. sunoushi、N. Okabe、A. Nitayama、K. Hieda、F. Horiguchi、and F. Masuoka IEDM (International Electron Device Meeting) (1988) pp222-225に提案されているような上下にチャンネルを介してソース・ドレインが設けられ4つのゲート電極を対向させた構造のSurrounding Gate transistor (SGT) が知られている。

【0036】これに対して本発明のトランジスタは、上記対向した2つのゲート電極の横方向の前後にソース・ドレインが設けられている。

【0037】この構造を採用することにより、ソース・ドレインの電極が従来のMOSFETと同様、同一平面上で容易に形成できる。また、チャンネル長は、従来のMOSFETと同様ゲート電極幅で決定するのでチャンネル長加工精度が高い。そして、横に置かれ対向した2つのゲート電極構造形成のための半導体のパターニングがマスクなしのリソグラフィでも可能であり、微細化に適した構造となっている。これにより、2つのゲート電極間隔は狭くでき、不純物濃度を高くせずに、パンチスルーが防止できるためより高集積化されても高gmの特性が得られるのである。

【0038】次に、本発明に好適なトランジスタとしては、MOSFET要素が基板上に横におかれるタイプであり、基板側でドープ領域に接しており、ゲート電極の対向部分が基板表面に対して交差する面を持つように配置される形が良い理由について、前述した従来例のMOSFETと比較して説明する。

【0039】従来のMOSFETは、ともにチャンネル領域が、少なくとも一部分でも下地の絶縁層に接し形成されている。このことにより以下に示すような問題点があ

る。

【0040】第1に、暗電流発生にともなうリーク電流が大きい点である。を例にして説明する。図3の構造体において、シリコンから成るチャネル領域231'は、絶縁膜232の表面238とゲート酸化膜によりかこまれている。トランジスタをONにする場合、ゲートに印加する電圧により、上記チャネル領域全体が空乏化する。これにより、他のトランジスタに比較して、大きい電流駆動能力を持つ。しかしながら、ゲート酸化膜とチャネル部シリコンとの界面は、最近のプロセス技術の（洗浄等）により良好な特性をもつが、絶縁膜との界面には、欠陥が多く、界面準位密度が高い。250に示す絶縁層上にも隣接してゲート電極が設けられているため、チャネル部全体が空乏化することは、当然絶縁層上の表面238も空乏層が接することになる。したがって、トランジスタがON状態の時n型MOSFETであればホールがこのチャネル領域にたまっていく。次にトランジスタをOFFするためにゲートに印加する電圧を変化させても、上記チャネル部には、界面から発生したホールが存在し続けている限り、そのホールによりソース側から電子が注入され、なかなかOFFすることができない状態がつづく。つまり、空乏化させ動作させるMOFETにおいては、従来型のMOSFETよりも、不用なキャリアを発生させてはならないということになる。

【0041】この現象は、他の従来例においても同様の現象が生じる。このことについて、図6を用いて説明する。この場合、チャネル領域となるSi単結晶部246は、開口部247を通して、基板と接続されているため、チャネルがフローティング状態となり、不用なキャリア（n型MOSFETであればホール、p型であれば電子）逃げ道がないという問題点はなくなる。しかしながら、図6の251に示す如く、チャネル領域は、下地の絶縁層表面と接しているため、不用なキャリアの発生箇所は、存在している。したがって、程度の差こそあれ、この絶縁層とチャネル領域のSi界面の欠陥から発生するリーク電流は、デバイス特性を悪化させてしまう。

【0042】次に、第2の問題点について説明する。第2の問題点とは、実効チャネル幅がそれぞれのトランジスタに対してバラつきやすいということである。

【0043】従来のトランジスタのチャネル幅は、図3に示す単結晶Si231'、図6に示すSi部246の高さ及び幅により決定する。通常この高さは、Siのエッチング深さにより決定される。ゲート長0.1 μ mゲート幅0.5 μ mのMOSFETを作製する場合、この高さは約0.2 μ mとなり、そのゆえぎは、200Å以内にとどめる必要がでてくる。現状のドライエッチング法によりウェハ面内で又は、ウェハ間で、このバラツキ範囲にとどめることは極めて難しい。さらに図3の25

0に示すような、下地の絶縁層上のエッチング形状は、上部Si部よりもバラツキが多く、Si上部とSi下部とで、Si部の厚さが変化する等の問題点も有している。

【0044】これに対して、本発明の装置に用いているトランジスタにおいて、チャネル長は、従来のMOSFETと同様、ゲート電極幅で決定するのでチャネル長加工精度が高い。そして、チャネル領域は、ゲート電極部とチャネル直下もしくは、上部の高濃度層とにより規定されるためそのバラツキも極めて小さい。又、チャネル部からトランジスタON時に空乏化してもその空乏層は、上記高濃度層との境界で広がらない。したがって、ゲート酸化膜（絶縁膜）以外の絶縁層表面には、空乏層は接しないため不用なキャリア発生源はない。

【0045】以上、説明したように、微細に適した、かつ電流駆動能力の高いトランジスタをメモリセルトランジスタとし、本トランジスタのゲートをワード線とし、本トランジスタのソース領域上にpn接合を介して、ビット線に接続したメモリを構成する。これにより、エラーレートの少ない、高密度、高速読出し書き込み特性を有する1回永久書き込み可能なメモリを実現できる。

【0046】本発明の各実施例について詳述する前に、本発明者らが検討した参考例について説明する。これら参考例が本発明の基本技術となっていることに注意されたい。

【0047】（参考例1）図8は本発明の第1参考例のメモリセルの上面図である。1001、1001'はワード線、1002、1002'はビット線、1003、1003'は電源ライン、1004はメモリセル内のスイッチングトランジスタとして動作するSi単結晶、1005は電源ラインとドレイン層とのコンタクト領域、1006はトランジスタのドレイン層、1007はトランジスタのゲート部分、1008はトランジスタのソース層、1009はソース層とビット線間に設けられた電氣的に破壊可能な絶縁層である。図8に示したX1、X1'、X2、X2'、X3、X3'、YY'断面図をそれぞれ図9、図10、図11、図12に示す。図9において、1012はP型Si基盤でたとえば、数 Ω cmの抵抗率のものを使用する。1013はp+型埋め込み層、1014は、フィールド酸化膜、1015は、層間絶縁膜で、PSG、BPSG、SiN、SON等が使用可能である。1016はドレイン直下に設けられたP型層、1017はドレインn+高濃度層、1018はドレイン電源用配線で、図の1019のコンタクト部を介して、ドレイン層1017に接続している。図8とこの図9との対応は図8のドレイン層1006が、図9の1017に、図8のコンタクト部1005が、図9の1019に対応する。図9では、パシベーション膜は省略した。

【0048】図10は、メモリセル部のトランジスタのゲート部の断面図である。

11

【0049】図10において、1021はチャネル領域でたとえば、不純物濃度として $5 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-3}$ の半導体よりなる。1022はゲート絶縁膜で、ゲート長によりその酸化膜厚は、変更する必要があるが、約60Å～250Å程度である。

【0050】これは、Si酸化膜のみならず、SiON、又は、SiO₂とSiONとの積層膜でも良い。1023はゲート電極である。たとえば、下地がp+型ポリシリコンで上層がW_xSi_{1-x}のポリサイド構造等、低抵抗でかつ、トランジスタのしきい値が所望のものになる仕事と関数を有するものを選択する。1024はドレイン電源用配線の断面で、図8の1003に、1025はビット線配線の断面で、図8の1002に対応する。図10からわかるように、チャネル領域1021は、ゲート絶縁膜1022と、p層1016とに規定されている。したがって、本トランジスタのチャネル幅は、 d_1, d_3 の加算値即ち $2d_1 + d_3$ となる。フィールド酸化工程により、このチャネル領域1021下部のゲート絶縁膜厚は、図10の1026に示すように変化し、その値を制御することは比較的難しい。しかしながら、本トランジスタにおいては、実際動作するチャネル領域は、下地のp領域で規定されているので膜厚ゆらぎの影響を受けず、各トランジスタのバラツキは、極めて少ないものとなる。

【0051】図11はメモリセル部のトランジスタのソース領域の断面図である。図11において、1030はソース層であるn+-Si領域、1031'はそのソース上に設けられた絶縁膜で、この絶縁膜の破壊、非破壊によりメモリの導通、非導通状態を規定する。その絶縁層に、コンタクト領域1033を介して、ビット線配線1032に接続している。上記絶縁層としては、たとえば、SiO₂、SiON、SiO₂とSiNとの積層構造等を用いることができる。他に酸化アルミニウム、酸化タンタル等を用いることもできる。

【0052】次に、図8のYY'断面である図12について説明する。

【0053】図12の1035、1035'に示すように、各トランジスタは垂直な面により分離され、各トランジスタ間は、層間絶縁膜がうめ込まれており、分離幅は、狭くすることが可能で高集積化には優れた構造と言える。この断面でのゲート電極構造は、通常のMOSFETと同等の構造であるが、前出の10に示すように、この断面と直交する断面で見ると、側壁部に対向するように、ゲート電極が配置されている。又、上部にもゲート電極は設けられているものの、図10に示す d_1 、 d_3 の関係を $d_3 < d_1$ …式(1)

とすれば、ゲート電圧をあげても、そのポテンシャルが両側からもち上げられるため、チャネル領域の電界は通常のMOSFETに比べて緩和される。又、さらにポテ

12

ンシャルの変化の仕方がチャネル領域全体で変化するため、この両者の効果により、トランジスタONに大電流を通すことが実現でき、駆動能力が高い良好な特性が得られた。

【0054】図13は参考例1による、3×3セルの半導体メモリーを示す回路図である。

【0055】1つのセルはアドレス用トランジスタ1040とメモリ要素1041とを有している。もちろん1041は絶縁膜の破壊前はキャパシタ、破壊後はキャパシタとならない。

【0056】1001、1001'、1001''、1001'''はFETの各ゲートに接続されたワード線である。

【0057】1002、1002'、1002''は各メモリ要素の一方に接続されたビット線である。

【0058】1003、1003'、1003''は電源線である。又、メモリの周辺回路として、ビット線の電圧を基準電圧にセットするビット線電圧セット回路1042、ワード線電圧セット回路1043、ビット線を順次選択する信号を発生する信号発生回路1044、ビット線選択スイッチ1045、1045'、1045''ビット線読出しライン1048をリセットするスイッチ1046、アンプ1047を有する。

【0059】以下、上述した半導体メモリの動作について説明する。

【0060】まず始めに、書き込み動作について説明する。この動作は次の4つの主動作を含む。

【0061】

(1) 書き込み動作その1：(ビット線プリチャージ)
ビット線を1042の電圧セット回路により、基準電圧V_{DD}に設定する。これにより、電源ラインとビット線間には、電位差がなくなり、ワード線にいかなる電圧が印加されようが、FETのソース・ドレイン間には、電位の発生もしくは電流は流れず上記1041に示す絶縁膜は破壊されない。このビット線のプリチャージ電圧は、電源電圧と同等でもよいが、同等でなくともその時は上記絶縁膜領域が破壊し、導通状態にならないようにする。V_{DD}の値としてはたとえば、1～5V程度で可能である。

【0062】(2) 書き込み動作その2：(ワード線デイスチャージ)

全ワード線の電圧を第1グランド電位V_{GND1}に固定する。たとえば、0Vとすれば良い。これは、書き込み動作を行なうワード線に隣接するワード線にクロストークにより信号の混入を防ぐために行なう。

【0063】(3) 書き込み動作その3：(書き込みワード線の選択)

今回の書き込みビットが、図13における左上のセルを原点とて、2行2列目のセルの場合には、書き込みビットのあるワード線は図13の1001'となる。したが

10

20

30

40

50

13

ってこのワード線の電位を V_G とする。ただし、この時 V_G は

$$V_{GND1} < V_G < V_{GB} \cdots \text{式 (2)}$$

である。 V_{GB} は、ゲート絶縁膜破壊電圧である。

【0064】

(4) 書き込み動作その4：(ビット線選択)

選択されたラインに存在する書き込みセルに対応したビット線電位をグラウンド電位に設定する。すると、選択されているラインのFETはすべてオン状態になっているため、ビット線電位をグラウンド電位にすることにより、絶縁膜に高電圧が印加され、絶縁膜が破壊され導通状態になる。この書き込み動作は、書き込み完了によりビット線とワード線間に電流が流れるため、ビット線選択を順次やるのが望ましいが、複数のビット線を同時に書き込むことも可能である。

【0065】次に読出し動作について説明する。この動作は次の4つの主動作を含む。

【0066】

(1) 読出し動作その1 (ビット線プリチャージ)

書き込み時と同様の動作により行う。これは、読出し動作により書き込まれていないビットに書き込まないためである。その時の電圧は電源電圧 V_{DD} と同等レベルで良い。

【0067】

(2) 読出し動作その2 (ワード線ディスチャージ)

全ワード線の電圧を第2グラウンド電位 V_{GND2} に固定する。ただし、第2のグラウンド電位 V_{GND2} と第1のグラウンド電位 V_{GND1} とは、 $V_{GND1} < V_{GND2} \cdots \text{式 (3)}$ との関係有する。

【0068】

(3) 読出し動作その3 (読出すラインの選択)

読出しを行うラインのワード線の電位を式(2)で定められた範囲の V_G に固定する。これにより上記ラインのFETはON状態となる。

【0069】(4) 読出し動作その4 (ビット線読出しラインリセット)

ビット線読出しライン1048をスイッチ1046によりリセットする。そのリセット電位は、上記スイッチ1046に接続されている電源により決定するが、その電位を V_{GND2} とする。その後、1046のスイッチをOFFし、ビット線読出しラインをフローティング状態にする。

【0070】

(5) 読出し動作その5 (ビット線の選択)

ビット線順次選択信号発生回路1044により、選択ビット選択スイッチのゲートを高レベルとし、スイッチをON状態にし、ビット線読出しラインと接続する。今、選択セルが書き込まれない場合、ビット線の容量を C_{BIT} 、読出しラインの容量を C_{OUT} とすると読出しライ

14

ンの電圧は

【0071】

【外1】

$$\frac{C_{BIT} \cdot V_{DD} + C_{OUT} \cdot V_{GND2}}{C_{BIT} + C_{OUT}}$$

に収束する。

【0072】一方、選択セルが書き込まれており、絶縁膜導通状態になっている場合は、この読出しラインはトランジスタを介して電源 V_{DD} と接続された状態にある。したがって、読出しラインの電圧は V_{DD} に収束する。この差により、書き込まれたセル(ビット)か書き込まれていないかが判明する。この電圧は、アンプ1047により検出する。以上の動作により読み出しを行なうわけであるが、書き込み状態の場合、読出しラインの電位が V_{DD} に収束する時間が読出しスピードを決定する。大容量メモリになればなる程、ビット線及びビット線読出しラインの容量は増大する。したがって、この大きな容量をいかにドライブできるかがカギとなり微細でかつ高駆動能力をもつ前出のトランジスタ構造が極めて、有効となる。

【0073】本実施例で、グラウンド電位を2種類設け、動作を行なったのは読出し動作時に、絶縁膜が破壊されないためである。つまり読出し動作時に絶縁膜の両端に印加される電位差を書き込み時より小さく設定している。

【0074】次に、本発明の参考例1の製造方法について図14乃至18を用いて説明する。図14、図15、図16、図17は図10に相当する断面図、図18は図12に対応する。

【0075】まず、準備されたP型シリコン基板1012表面にボロンのイオン注入を行い、約900℃でイオン注入層の不純物の活性化を行う。p+高濃度層1013形成後、本ウェハを洗浄し、エピタキシャル成長装置に入れ、シランの還元により、表面に形成されている自然酸化膜を除去し、850℃という低温によりP層が2μm、P-層1021が0.5μmになるよう連続的に成長させる。低温エピにより不純物のわき上がりは抑制され、p+-P、P-P-は急峻な結合が得られ、p+層の濃度は 1.0^{19} cm^{-3} 、P層の濃度は 1.0^{17} cm^{-3} 、P-層の濃度は 1.0^{16} cm^{-3} 程となる。本ウェハを熱酸化し、約250Åのシリコン酸化膜1060を形成し、さらにその上部に気相化学堆積法(CVD)により、250Åのシリコン窒化膜1061を堆積した(図14)。

【0076】次に、このウェハをトランジスタ形成領域を残して、レジストをマスクとして、上記シリコン窒化膜1061、上記シリコン酸化膜1060更にはP-層1021、P層1016の各Siエピ層まで、反応性異方性エッチングにより、垂直にエッチング除去する。エ

15

ッチングによる溝の終端はP層もしくは、P+層中であれば良く、その制御は、デバイス特性上厳密には要求されない。これも、本構造の1つの利点の1つとなっている。次に、パターニングに使用したレジストをハクリし、洗浄後、再度Siが露出している表面に約250Åのシリコン酸化膜1062を形成する。その後、CVDにより、上記表面全体にシリコン窒化膜を堆積させ、異方性シリコン窒化膜エッチにより図4Bに示すように底面1063シリコン窒化膜のみ除去する。この場合柱状Siの上部のシリコン窒化膜1064は2層から形成されているため残されることになる(図15)。

【0077】次に、約900℃でパイロジェネリック酸化を行い、シリコン窒化膜が形成されていない表面のみ選択的に酸化する。このプロセスにより図16に示すようにフィールド酸化膜1014が形成される。このフィールド酸化工程により、シリコン柱下部は1065に示すように変形するが、変形した領域は、P層1016もしくは、P+層1013から成り、この変形の影響はない(図16)。

【0078】次に、選択酸化に用いたシリコン窒化膜1066と、その下地のパッド酸化膜1067を除去し、露出したSi表面を洗浄後、ゲート酸化膜1022を熱酸化により形成する。さらに、Polysilicon(タンゲステン)を連続的に堆積し、その後W表面より、ボロンのイオン注入及びアンソレによりp+型ポリシリコンとW_{1-x}Si_xとWとからなるゲート電極を形成する。このタイプのトランジスタ動作は、対応するゲート間距離が0.1μmとなっているためチャネル部のポテンシャルを全体的にゲート電位によりコントロールし、ON-OFFさせるものである。したがって、従来のMOSFETよりもしきい値が低くなるがP+層1068により、しきい値を高めている。又ゲート電極上部がWメタル1069からなりワード線の低抵抗化を実現している。

【0079】このゲート電極をパターニング後、このゲートをマスクにn+層を拡散し、ソース層1030、ドレイン層1017を形成する。

【0080】次に図17に示すように、層間絶縁層1015が平坦化し形成される。この平坦化はたとえばテトラエチルオルソシリケート(TEOS)の堆積とエッチバックとを組み合うことにより実現できる。

【0081】次に、ソース領域1030のみコンタクト穴1070をあける。このコンタクト穴のみSi表面が露出しておりCVDでこのコンタクト穴の領域のみ1033に示す約50ÅのSiO₂を形成する。その後550℃N₂雰囲気、上記薄膜SiO₂を高密度化する。又、薄膜SiO₂形成としては、洗浄後白金過水中で酸化膜を形成し500~600℃N₂雰囲気中で高密度化する方法も有効である。その後電源用及びビット線用配線を成膜し、パターニングし、バシベーション膜を形成

16

して本セル構造が形成される。この説明においては、nチャネルMOSFETを挙げて説明したが、PチャネルMOSFETに対しても、導電型を反対にすれば、同様の工程で作製可能なので、説明は省略する。したがって周辺回路は、nチャネルMOSFETとPチャネルMOSFETより成るCMOS構成として作製できる。

【0082】以上、説明したように、参考例1は、絶縁膜の破壊非破壊状態により導通、非導通状態を形成し、従来のDRAMやE²PROMと異なりわずかな蓄積されたチャージを読み出す方法ではないため、微細化が進んだ場合でも高S/Nの読出しが可能になる。又、この読出しには、新構造のトランジスタを採用し、微細でかつ高い駆動能力特性をもっているため、高集積、高速読出しが実現できる。

【0083】(参考例2)次に、本発明の実施例2について図19乃至22を用いて説明する。図9乃至12と同等の箇所に関しては同一番号を記し、説明は省略する。

【0084】第1実施例の構成と異なる点はチャネル領域としてのP-層1017の上に同じ導電型でこのP-層より不純物濃度の高いP層1080が形成されている点である。

【0085】この構造はPウェル層1016、P-層1017、P層1080の形成の時に不純物濃度を変えてエピタキシャル成長させれば良く、製造上前出の参考例1と同様の工程で行える。

【0086】又ドレイン層1017と電源とのコンタクトをとる場合、ドレイン上表面のSi層を図19の1081に示すようにわずかにエッチングした後行なわれればよい。

【0087】次に、本実施例に用いられるトランジスタの動作について説明する。

【0088】P層1016及びP層1080の不純物濃度は動作時のゲート電圧が最大値となった時でも、上部のゲート絶縁膜1022との界面側に反転層が形成されないような濃度となっている。したがって、P-層1021とゲート絶縁膜1022との側壁部のみにチャネルが形成される構成となる。よってこの構成は純粋に2つの対向したゲートからなる構成と等価なものとなり動作が安定する。

【0089】又、通常Siのエッジ部の絶縁膜厚は、平面部より薄くなり耐圧が低下するが、本実施例によればエッジ部1082に示す如く、内側のP層の濃度が高い分、十分な耐圧を示すので、膜厚が実施例1より薄いものでも使用可能である。これにより、高いgm特性が得られる。

【0090】この良好なトランジスタ特性によりメモリとしての高速読出しが実現できる。

【0091】(参考例3)次に、本発明の参考例3について、図23を用いて説明する。

17

【0092】参考例3も参考例2同様、メモリセルトランジスタの改良方法に関するもので、図23に示す断面以外の実施例1に対応する部分の断面図は図9、図10、図11と同じである。同一箇所に関しては、同一番号で記し、説明は省略する。実施例3の特徴は、ソース及びドレインのゲート電極近傍にn-層1085を設けたことである。本実施例の構造は、LDD、GOLD等の構成を作製する時同様、ゲート電極の側壁に設けられた絶縁層を利用して容易に自己整合的に形成可能である。本例によればゲート電極のソース、ドレイン端での電界を緩和し、チャネル領域に不用なキャリアが入り込むことを防ぐことが可能になる、これにより、メモリにおいて、早い読出し特性が実現できるだけでなく、ホットキャリア等の発生が防止でき、より高信頼性が得られる。

【0093】又、この参考例においては、ソース、ドレインそれぞれ対称的にn-層を設けたが、実際高電界がかかるのは、ドレイン端であり、又ソース側は駆動能力を高めるという意味で抵抗成分をつけたくないという理由により、ドレイン側にのみn-層を設けても良い。

【0094】(参考例4)次に、参考例4について説明する。図24は平面図、図25は図24の X_1-X_1' 断面を、図26は図24の $Y-Y'$ 断面を示している。前出の実施例1の場合、水平方向にワード線が走り、垂直方向にビット線と電源ラインが設けられていた。これに対して本例は、水平方向にワード線1001、1001'と電源ライン1096、1096'が走り一方垂直方向には、ビット線1002、1002'のみ走るレイアウトになっている。本トランジスタがたて長の形状をしているので、このように電源ラインを横方向に走らせることにより参考例1よりも1セル当りの面積が減少し、より高集積化が図られるという利点を有する。

【0095】図24のレイアウトを可能にする1つの構成を図25、図26を用いて説明する。図25において、1100は電源ラインとしての n^+ 型ポリシリコン-W_{1-x}Si_x-Wの配線、1101は、この n^+ 型ポリシリコンがドレイン層1017に接するダイレクトコンタクト部である。これを図26に示すように水平方向に長く1023、及び1100の2つのポリシリコン-ポリサイドW配線が配置されていることがわかる。図25、26で示したもの以外に、金属の2層配線を使用し、1層金属をビット線、2層金属を電源ラインとする方式でも良い。

【0096】(参考例5)次に参考例5について、メモリセルのレイアウト図である図27、図27の X_1-X_1' 断面である図28、図27の X_3-X_3' 断面である図29を用いて説明する。図27の1105、1106に示すように、本実施例では、トランジスタのソース及びドレイン層コンタクトサイズが広がっている点が前出の実施例1と異なる。このようにトランジスタの電流

18

の流れる方向($Y-Y'$ 方向)に直交する方向にコンタクトを広くしていることにより、ソース層、及びドレイン層の側壁でもコンタクトすることが可能になり、コンタクト抵抗が小さくなる。特に微細化が進むとトランジスタの駆動能力と同時に寄生抵抗や容量が回路特性に重大な影響を及ぼす。この点寄生抵抗低減に上記構造は優れている。そこで、コンタクトの構造を明らかにするため図28、図29を用いて詳細に説明する。

【0097】図28中、1105はドレイン層用コンタクト穴、1107はそのコンタクトエッチがストップするための第1層間絶縁層、1109は第2層間絶縁層で第1と第2は種類が異なりエッチングの際のその選択比がとれる材料を用いている。たとえば第1層間絶縁層としてシリコン窒化膜、第2層間絶縁層としてシリコン酸化膜等が挙げられる。これにより図28中、1108に示すように広い面積で配線用金属と接することが可能になる。一方ソース部のコンタクトは図29に示すように露出した n^+ 層表面1110に、メモリ用薄膜絶縁層1111がつき、その p^+ 層を介して、配線用金属1032に接している。以上説明したように、本実施例の構造を用いることにより、コンタクト部の抵抗がさらに小さくなり、高速読出しが実現できる。

【0098】(参考例6)参考例6について、図30、31を用いて説明する。参考例6は前出の参考例1の構造体を参考例1に記述した製造方法と異なる方法により製造されるものである。参考例1の作製方法を示す図14乃至18と同様の箇所については、説明を省略し、同等箇所については、同一番号を記す。

【0099】図30に示すように最大の特徴は、選択酸化によらず、フィールド酸化膜を成膜とエッチングにより形成する点にある。柱状半導体領域を囲うパッド酸化膜の形成、そしてシリコン窒化膜の形成プロセスまでは、実施例1と同様である。その後、窒化膜を異方性エッチした表面のシリコン酸化膜をはくりし、再度熱酸化膜1092を形成する。そしてTEOSを利用して層間絶縁膜を成膜し、エッチバックにより SiO_2 1091を形成する。このエッチバック時にシリコン窒化膜とシリコン酸化膜とのエッチング選択比が十分とれていれば良い。このエッチバックにより、フィールド酸化膜表面は、P層1016と p^+ 埋め込み層1013界面より高く、かつP層1016とP層1021界面より低くなるようにしておく。次に、このシリコン窒化膜をエッチングにより除去、さらに、パッド酸化膜を除去して、洗浄した後、ゲート酸化することにより図31の1091'に示すようなフィールド酸化膜の形状が得られる。後は参考例1と同様ゲート電極層1068、1069を形成すれば良い。以上説明した製造方法を用いると、高熱工程が含まれず不純物の余分な拡散が減少し、チャネル領域のサイズが安定する。さらには、フィールド酸化等で発生する歪みがない等の利点がある。半導体メモリとし

19

ては、各メモリセルのバラツキが減少するので、高歩留りで本装置が実現できるという利点もある。

【0100】以上の各参考例に基き、半導体メモリを製造し書き込み、読出し動作を行った結果、各参考例ともに期待以上の良好な動作を行うことが確認された。

【0101】以上各参考例を挙げて本発明の基本的構成について説明したが、本発明はこれらの参考例を更に改良したものである。本発明の実施例については以下に詳述するが、本発明はこれらの実施例に限定されることなく各要素技術の組み合わせや置換による数々の変形例を含むものである。

【0102】

【実施例】（実施例1）本発明による実施例1について、図32、図33を用いて詳細に説明する。

【0103】図32は本発明の実施例1のMOSトランジスタの上面図である。

【0104】図32のY1Y1'、Y2Y2'、XX'断面図をそれぞれ、図33の(a)(b)(c)に示す。

【0105】図33(a)において、1012はp型シリコン基板で、数 $\Omega \cdot \text{cm}$ の抵抗率のものを使用する。但し、使用するトランジスタの種類により、他の基板を使用してもさしつかえない。1013はp+型埋込み層、1014はフィールド酸化膜、1015は層間絶縁膜でSiO₂、PSG、BPSG、SiN、SiON等が使用可能である。1016はチャネル直下に設けられたp型層、1017はドレインn+高濃度層、1018はドレイン電源用配線で、図の1019コンタクト部を介して、ドレイン層に接続している。

【0106】次に、トランジスタのゲート部の断面図である図33の(b)について説明する。1021はチャネル領域で、たとえば、濃度が $5 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-3}$ となる。1022はゲート酸化膜で、ゲート長によりその酸化膜厚は変更する必要があるが、約6~25nm程度である。

【0107】これは、Si酸化膜のみならずSiON、又はSiO₂とSiONとの積層膜でも良い。1023は、ゲート電極である。たとえば、下地がp+ - poly Siで上層はW_xSi_{1-x}のポリサイド構造等、低抵抗でかつトランジスタのしきい値が所望のものになる仕事関数を有するものを選択すれば良い。

【0108】図33からわかるように、チャネル領域1021は、ゲート膜1022と、p層1016とに規定されている。したがって、本トランジスタのチャネル幅は、図中のd₁、d₃を用いて2d₁+d₃となる。

【0109】本トランジスタ構造においては、実際動作するチャネル領域は、下地のp領域で限られており、各トランジスタのバラツキは、極めて少ない。

【0110】図33の(c)においても、同等箇所は同一番号で記し、説明は省略する。1035、1035' 50

20

に示すように、各トランジスタは垂直な面により分離され、各トランジスタ間は層間絶縁膜が埋め込まれており、分離幅は狭くすることが可能で、高集積化には優れた構造と言える。この断面でのゲート電極構造は、通常のMOSFETと同等の構造であるが、図33の(a)に示すように、この断面と直交する断面で見ると、側壁部に対向するように、ゲート電極が配置されている。

【0111】又、上部にもゲート電極は設けられているものの、図33の(a)に示すd₁、d₃の関係はd₃<d₁(1)

とすれば、ゲート電圧をあげても、そのポテンシャルが両側からもち上げられるため、チャネル領域の電界は通常のMOSFETに比べて緩和される。又、さらにポテンシャルの変化の仕方が、チャネル領域全体で変化するため、この両者の効果により、トランジスタONに大電流を通すことが実現でき、駆動能力が高い良好な特性が得られた。

【0112】次に、本発明の参考例1の作成方法について、図34を用いて説明する。(a)~(c)は、図33の(a)に相当する断面、(d)は図33の(b)に相当する断面に対応する。

【0113】先ず、p型シリコン基板表面にボロンのイオン注入を行ない、900度でイオン注入層の不純物の活性化を行なった。p+高濃度層形成後、900度でシリコン酸化膜を600nm形成した。

【0114】次に、MOSトランジスタのチャネル部分をドライエッチングで開口し、LP-CVDにより、ポリシリコンを25nm形成した。ポリシリコンを開口部の側壁にのみ、残るようにエッチバックによりポリシリコンを選択除去した。なお、上記ポリシリコン形成、及び、エッチバック工程は後続のSEG（選択エピタキシャル成長）により形成されたシリコン膜の結晶性を良好にするためのもので省略可能である。

【0115】この後、エピタキシャル法によりp層を1 μm 、p-層を600nm連続的に成長させた。この時の条件は、温度850℃、圧力50 Torr、使用ガスH₂、HCl、SiHCl₃+H₂、B₂H₆+H₂である。この条件によりエピタキシャル層は開口部にのみ形成され、エピタキシャル膜の膜厚は1.6 μm であり、ソース、ドレイン部分の膜厚は1.0 μm であった。また、横方向には1.1 μm 成長した。更に、低温エピタキシャル成長により、不純物のわきあがりは抑制され、p+-p、p-p-接合は急峻な接合が得られ、p+層の濃度は 10^{19} cm^{-3} 、p層濃度は 10^{17} cm^{-3} 、p-層濃度は 10^{16} cm^{-3} であった。

【0116】次に、成長したエピタキシャル層を基板に対して、垂直形にするため、ドライエッチングによりシリコンを垂直にエッチングした。

【0117】続いて、本ウェハを熱酸化し、ゲート酸化膜を形成した。

21

【0118】さらに、poly Si W (タングステン) を連続デポし、その後W表面よりボロンのイオン注入及びアンフレにより p- - poly Si - W_{rx} Si_x - W からなるゲート電極を形成した。この型のトランジスタ動作は、対応するゲート間距離が0.1 μmとなっているためチャネル部のポテンシャルを全体的にゲート電位によりコントロールし、ON-OFFさせるものである。

【0119】このゲート電極をパターニング後、このゲートをマスクにn+層を拡散し、ソース層1030、ドレイン層1017を形成する。

【0120】次に、図34の(c)に示すように、層間絶縁層1015が、平坦化し形成される。この平坦化はたとえばTEOSとエッチバックとを組み合せることにより実現できる。

【0121】この後、コンタクトを開口し、Ti、TiN、Al-Siを成膜し、配線を形成した。最後にパッシベーション膜を形成し、本トランジスタ構造が形成される。この説明においては、n型MOSFETに対して説明したが、p型MOSFETに対しても、導電型を考慮し、同様の工程で作成可能なので説明は省略する。したがって、本構造のMOSFETを用いてCMOS回路を作成できる。

【0122】(実施例2)次に、本発明の実施例2について、図35を用いて説明する。図33と同等の箇所に關しては、同一番号を記し、説明は省略する。

【0123】実施例1の構成と異なる点は、チャネル領域としてのp層1021の上に同じ導電型でこのp層より不純物濃度の高いp層1080が形成されている点である。

【0124】この構造はp層1016、p層1021、p層1080の形成の時に不純物濃度を変えてエピタキシャル成長させれば良く、製造上、実施例1と同様の工程で行なえる。

【0125】又、ドレイン層1017と電源とのコンタクトをとる場合、ドレイン上表面Si層を図35の(a)の1081に示すようにわずかにエッチングした後、行なえば問題ない。

【0126】次に、本実施例2の場合のトランジスタの動作について説明する。

【0127】p層1016及びp層1080の不純物濃度は動作時のゲート電圧が最大値となった時でも、上部のゲート絶縁膜1022との界面側に反転層が形成されないような濃度となっている。したがって、p層1021とゲート絶縁膜1022との側壁部のみにチャネルが形成される構成となる。よってこの構成は純粋に2つの対向したゲートからなる構成と等価なものとなり動作が安定する。

【0128】又、通常Siのエッジ部の絶縁膜厚は、平面部より薄くなり耐圧が低下するが、本実施例によれば

22

エッジ部1082に示す如く、内側のp層の濃度が高い分、十分な耐圧を示し、膜厚が実施例7より薄いものでも可能である。これにより、高いgm特性が得られる。

【0129】(実施例3)次に、本発明の実施例3について、図36を用いて説明する。実施例3も実施例2同様、トランジスタの改良方法に関するもので、XX'断面のみ実施例7と異なり、図33(c)と同一箇所に関しては、同一番号で記し、説明は省略する。第3実施例の変更点は、ソース及びドレインのゲート電極近傍にn層1085を設けたことである。本実施例の構造は、LDD、GOLD等作製時同様、ゲート電極の側壁に絶縁層を設けることにより、容易に自己整合的に形成可能である。本構造を採用することにより、ゲート電極のソース、ドレイン端での電界を緩和し、チャネル領域に不純なキャリアが入り込むことを防ぐことが可能になる。これにより、メモリにおいて、早い読出し特性が実現できるだけでなく、ホットキャリア等の発生が防止でき、より高信頼性が得られた。

【0130】又、この実施例においては、ソース、ドレインそれぞれ対称的にn層を設けたが、実際高電界がかかるのは、ドレイン端であり、又ソース側は駆動能力を高めるとい意味で抵抗成分をつけたくないという理由により、ドレイン側にのみn層を設けてもよい。

【0131】(実施例4)次に、本発明の実施例4に関して、図37を用いて説明する。

【0132】本実施例では、本発明のMOSFETをCMOSインバータとして形成した。図37のX1-X1'断面図を図38の(a)に、X2-X2'断面図を図38の(b)に、Y-Y'断面図を図38の(c)に示す。図37、38において共通箇所は同一番号で記してあり説明は省略する。2001はCMOSインバータの入力、2002は出力、2003は電源、2004はグランドである。

【0133】本実施例を実現するための製造方法は実施例1とほとんど共通であるが、CMOS構成のため、以下に記す部分が異なっている。即ち

1. p型基板にNMOS用のp+層1013と、PMOS用のn+層2013を形成する。
2. PMOS部分のエピタキシャル膜にNウェル2016、2021を形成する。
3. PMOSソース、ドレイン2017をイオン注入により形成する。

【0134】本実施例の様に本発明のMOSFETはCMOS回路等に応用可能である。

【0135】(実施例5)次に、本発明の実施例5に関して、図39、40を用いて説明する。本実施例では、本発明のMOSFETをDRAMに応用したものである。図39はDRAMにおける1ビットの等価回路であり、本実施例は図39中のMOSFETに本発明のトランジスタを用いたものである。

23

【0136】図39の等価回路のMOSFET部分を断面図で表したものが図40である。前実施例と同様に同等箇所には同一番号を記し、説明は省略する。

【0137】本発明のMOSFETのゲート電極にワード線が接続され、ソース、ドレイン領域の一方がビット線に接続され、他方が容量素子を形成する構成となる。

【0138】本実施例のDRAMは、動作等は一般のDRAMと同一であるので説明は省略する。2103は、容量素子の一方の電極、2104は誘電体、2105は他方の電極である。本実施例において、容量素子の表面積はMOSTランジスタが3次元構造であることから、投影面積にたいし大きくなり、集積度が向上している。

【0139】本実施例の構造を実現するための製造方法については前実施例同様、実施例1に準ずるが、以下の点が異なっている。即ち

1. NMOSのソース、ドレイン領域形成後、容量素子の第1の電極をLPCVD法のポリシリコン2103によって形成する。
2. 容量素子の誘電体のTa₂O₅ 2104を形成する。
3. 容量素子の上部電極のポリシリコン2105を形成する。
4. 層間絶縁膜1015を形成した後、ビット線2101を形成する。

【0140】本実施例のDRAMにより、集積度が向上し、また、高速のDRAMが得られる。

【0141】（実施例6）次に、本発明のMOSFETをユーザが書き込むことが可能で、かつ、ランダムアクセスの可能な読み出し専用メモリに応用した実施例を示す。

【0142】図41は本発明の実施例6のメモリスのパターン図である。1001-1001'はワード線、1002-1002'はビット線、1003-1003'は電源ライン、1004はメモリス内のスイッチングトランジスタとして動作するシリコン単結晶、1005は電源ラインとドレイン層とのコンタクト領域1006はMOSFETのドレイン層、1007はMOSFETのゲート部分、1008はMOSFETのソース層、1009はソース層とビット線間に設けられたpn接合部である。

【0143】図41に示したX1-X1'、X2-X2'、X3-X3'断面図を図42に示し、Y-Y'断面図を図43に示す。図41乃至43において、前実施例と同様、同等箇所には同一番号を用い、説明は省略する。

【0144】メモリス部のトランジスタのソース領域の断面図が図42である。図42において1030はソース層であるn+領域、1031はそのソース上に設けられたp+領域で、このpn接合により、メモリの導通、非導通状態を規定する。そのp+層上に、コンタク

24

ト領域1033を介して、ビット線配線1032に接続している。

【0145】次に本発明の本実施例のメモリ装置の動作方法、及び、記憶方式について説明する。

【0146】図44は、図41に代表されるメモリスのレイアウトを等価回路として図示したもので、1001-1001'はワード線、1002-1002'はビット線、1003-1003'は電源線を示す。各セルは、微細かつ電流駆動能力の高いトランジスタ1040と、そのトランジスタのソース層にpn接合1041が設けられ、メモリスを構成している。

【0147】メモリ装置の動作方法は、前出の図13の回路構成の場合と同様である。図13の場合は絶縁層を破壊するのに対し、本例ではPN接合を破壊することで記憶を行う。

【0148】本実施例の構成を形成するための製造方法は、前記実施例1の製造方法にほとんど等しいが、pn接合によるメモリス部分の形成方法が実施例1と異なる。即ち、

- 1) コンタクト開口を2度に分けて行い、NMOSFETのソース領域部1030を開口した後、p型のシリコンを第1実施例におけるSEGの条件で成長させる1031。但し、このとき、p+層の濃度は10¹⁹cm⁻³、膜厚20nmであった。

2) 上記以外の部分のコンタクトを開口し、配線を施す。

【0149】このように、本発明のMOSFETを用いて、高集積、高性能のメモリを形成可能である。

【0150】（実施例7）本実施例は、実施例6と同様のメモリに応用したものである。

【0151】図45に示すように、本実施例と実施例6との相違点は、メモリスの導通、非導通をpn接合ではなく、実施例1のように誘電体1131を用いていることである。

【0152】実施例7では書き込みパルスによりpn接合を配線金属が貫通することにより導通状態を形成した。本実施例においては、同様の書き込みパルスにより絶縁膜が破壊され、導通状態になり、書き込み状態を判断できるものである。

【0153】本実施例の構造を形成するための製造方法は、前記実施例6の製造方法にほとんど等しいが、誘電体膜によるメモリス部分の形成方法が実施例6と異なる。即ち、

- 1) NMOSFETのソース領域部を開口した後、露出部をシリコン酸化膜1131で覆う。シリコン酸化膜の形成方法はCVD法でも熱酸化でも良いが、本実施例では熱酸化法を用い、膜厚12nmのシリコン酸化膜を形成した。なお、誘電体膜は、シリコン酸化膜に限らず、使用する電源電圧により他の膜も使用可能である。また、当然、多層膜であっても良い。

25

2) 上記、以外のコンタクトを形成し、配線を施す。

【0154】このようにして、以上説明した実施例のMOSFETを用いて、高集積、高性能なメモリ装置を形成可能である。

【0155】これら実施例によれば、対向した2つのゲート電極により、キャリア移動方向に対する垂直方向電界が小さいので、高移動度、高gm特性の半導体装置が得られ、電界緩和によりホットキャリアの発生が防止でき素子の寿命については信頼性が向上する。

【0156】そして、ゲート酸化膜下のシリコン部の静電容量が減少するのでSファクタ(Subthreshold Swing)特性が向上しリーク電流が極めて少なくなる。

【0157】また、チャネル領域における対向した2つのゲート電極が設けられた部分以外のところに、ソース、ドレイン部の導電型と異なる導電型でかつチャネル領域より不純物濃度の高い領域が設けられ、更にその高濃度層が基板上に配設されていることにより、トランジスタのオン、オフ時、対向した2つのゲート電極に囲まれた半導体層への少数キャリアの出入りが速くなり、スイッチング特性が向上する。

【0158】更に、絶縁膜上にMOSFETのソース、ドレイン領域が配設されることによりラッチアップのような寄生効果が防げるといふ効果がある。

【0159】また、上述したMOSFETを用いて、CMOSインバータ、DRAM、及び、PROMを形成することが可能であるという効果を有する。

【0160】また、メモリ要素としての絶縁層の破壊、非破壊状態により導通、非導通状態を形成し、高いS/Nで書き込まれた信号を続出することができ、低エラーレート、高信頼なメモリが実現できる。さらに、新型の高駆動能力のトランジスタをメモリセルに用いることになり、高速、高集積メモリが実現できる効果を有する。

【0161】本発明の製造方法の更に好ましい実施態様例としては、後述の各実施例で示されるように、MOSFET要素が半導体基板上に横に置かれるタイプで基板側にドープ領域に接続しており、ゲート電極の対向部分が基板表面に対し交差する面を持つように配置される形のMOSFETの製造方法である。その1つには、基板40上の開口部側壁及び、前述した、半導体成長層を規定するストップ層の側壁にアモルファスシリコンを形成する方法がある。

【0162】また、前述の側壁に形成する層をポリシリコンとし、斜めイオン注入によりポリシリコンをアモルファス化した後エピタキシャル成長させる方法もある。

【0163】このように、MOSFETの各要素が絶縁膜上に配置され、且つ、自己整合的にSOI型の構造が形成可能であれば好ましい。即ち、以下に述べる実施例8~11による製造方法が好ましい。

【0164】(実施例8) 本発明による第8実施例につ

26

いて、図46乃至図50を用いて詳細に説明する。図8は本発明の製造方法の実施例である。図46に従って製造したMOSFETが図47である。図47は図48のような平面図をもつMOSFETのXX'断面図である。

【0165】本発明における製造方法を最も良く表す図であり、これからの記述は全てこの断面図を使用する。図49は図48のY₁ Y₁'断面図、図50はY₂ Y₂'断面図である。

【0166】図46乃至図50において、1012はシリコン基板であり、p型で数Ω・cmの比抵抗をもつ。面方位は<100>である。なお、本実施例を含め、すべての実施例では、NMOSFETの製造方法を記述しているが、pMOSFETについても、電導型を変えることにより、形成可能である。また、パターニングにより、CMOS構成も可能である。

【0167】1013は高濃度のp⁺層で濃度が10¹⁸~5×10¹⁹cm⁻³である。1014は第1の絶縁層で本実施例ではSiO₂であるが他の絶縁膜でも良い。

【0168】1511は第2の絶縁層を選択除去する際のストップ層の役目をする層で、Si₃N₄膜である。ただし、第1の絶縁膜に対し、エッチングの際に選択比が十分とれる膜であれば、他の膜、たとえば、ポリシリコンのような膜でも良い。1512は第2の絶縁層でSiO₂膜である。この膜は後続の選択エピタキシャル成長(SEG)の際の温度の熱処理に対し膜の変形が無視できるものならば他の膜でも良い。即ち、コンタクトリフローにより変形し、基板に対し垂直である形を崩しては使用できない。本実施例ではCVDにより堆積した後、熱処理を行ったSiO₂膜を使用している。

【0169】1513はアモルファスシリコンであり、SEGの結晶性を良好にするためのものである。ポリシリコンでは固相エピタキシャル成長による再結晶化がアモルファスシリコンよりも劣る。このため、アモルファスシリコンのほうが適しているといえる。1016、1021はSEGにより形成された単結晶シリコン領域である。1022はNMOSFETのゲート酸化膜であるがSiO₂単層でなくても良く、Si₃N₄膜との多層膜等用途により種々の膜構成が使用可能である。1023はゲート電極である。たとえば、下地がp⁺ポリシリコンで上層はW_xSi_{1-x}のポリサイド構造等、低抵抗で且つ、トランジスタのしきい値が所望のものになる仕事関係性を有するものを選択すれば良い。

【0170】1017はNMOSFETのソース、ドレイン層のn⁺領域、1021は、NMOSFETのチャネル領域であり、濃度が5×10¹⁴~5×10¹⁶cm⁻³である。1016はチャネルとシリコン基板の間のドープ領域であり、濃度が5×10¹⁶~10¹⁸cm⁻³である。1015は層間絶縁膜であり、1018は配線である。

50

27

【0171】次に、本発明の第8実施例の具体的製造方法について説明する。p型基板にp型埋め込み層をB⁺のイオン注入により形成した。第1の絶縁膜として、900℃で熱酸化を行い600nmのSiO₂膜を形成した。SiO₃N₄膜をLPCVDにより膜厚50nm堆積した。この上に、第2の絶縁層としてSiO₂膜をCVDにより1μm堆積した後、850℃で熱処理を行いCVDによるSiO₂膜のデンシファイを行った。(図46(a))。MOSFETを形成する部分の第2の絶縁膜と、Si₃N₄膜をパターニングの後、ドライエッチングにより除去した。続いて、SEGのシード部分、即ち、MOSFETのチャネル部分をドライエッチングにより除去した(図46(b))。

【0172】プラズマCVDによりアモルファスシリコンを25nm堆積した。この時の条件は、温度250℃、圧力0.5 Torr、使用ガスSiH₄、H₂、パワー10Wであった。

【0173】この後、エッチバックにより第1及び、第2の絶縁膜の側壁にのみ前記アモルファスシリコンを残した(図46(c))。

【0174】本ウエハを化学的手法により洗浄した後、SEGにより、MOSFET部分の単結晶シリコンを成長させた。この時の条件は、温度850℃、圧力50 Torr、使用ガスH₂、HCl、SiH₂Cl₂+H₂、B₂H₆+H₂であった。ガス流量を調節することにより第2の絶縁層と同様の高さまで単結晶シリコンを成長させることができた。このとき、エピタキシャル膜の膜厚は1.6μmであり、横方向には1.1μm成長した。なお、B₂H₆+H₂ガスの流量を制御することにより、下層にn層を1μm、上層にp層を0.6μm連続的に形成した。

【0175】続いて、SEGにより形成した単結晶シリコンの上面をそろえるために、レジストを塗布し、表面が平面になるようにエッチバックを行った。次いで、ウェットエッチングにより第2の絶縁膜であるSiO₂膜を選択除去し、更に、ドライエッチングにより、Si₃N₄膜を除去し、図46(d)のように単結晶シリコンの島を自己整合的に形成できた。

【0176】この後、ゲート酸化膜を形成し、更に、ポリシリコン、タングステンを連続に堆積し、その後、タングステン表面より、ボロンのイオン注入及び、熱処理によりp+ポリシリコン-W_{1-x}Si_x-Wからなるゲート電極を形成した。

【0177】このゲート電極をパターニング後、このゲートをマスクにn+層を形成し、ソース、ドレイン層を形成した。次に、層間絶縁膜をTEOSとエッチバックにより形成した。コンタクトを開口し、Ti、TiN、Al-Siを成膜し、配線を形成した。最後にパッシベーション膜を形成し、本トランジスタ構造が完成される(図47)。

28

【0178】(実施例9)本発明の第9の実施例について図51を用いて説明する。

【0179】なお、第8実施例と同等の箇所は同一の番号を付記しており、説明は省略する。

【0180】第8実施例との相違点は、第1及び第2の絶縁膜上に形成されるアモルファスシリコンの代わりに、ポリシリコンを用いる点である。ポリシリコンはアモルファスシリコンに比べ、SEGにおける、固相エピタキシャル成長が起これにくく、良質の単結晶シリコンが得られない。このため、本実施例では、実施例8と同様に、第1及び、第2の絶縁膜側壁にポリシリコンを配置した後、斜めイオン注入によりポリシリコンをアモルファス化することにより、第8実施例と同等の単結晶シリコン層を得ることが可能となるものである(図51(c))。

【0181】ポリシリコン、あるいは、アモルファスシリコンのどちらかを選択するかは成膜上の問題であり、例えば、膜厚の面内分布等により、決めることができる。

【0182】第9実施例の製造方法を順を追って説明する。

【0183】第2の絶縁膜のパターニングにより、MOSFETの各要素が配置される領域を決定し、第1の絶縁膜の開口により、SEGのシード部を決定するところまでは、第8実施例と同様である(図51(a)、(b))。

【0184】次に、LPCVDにより、ポリシリコンを25nm堆積した。この時の条件は温度600℃、圧力50 Pa、使用ガスSiH₄-Heであった。

【0185】続いて、エッチバックにより、第1及び、第2の絶縁膜側壁部を除いて、ポリシリコンを除去した。

【0186】本ウエハをイオン注入装置によりAr+イオンを10¹⁶cm⁻²打ち込んだ。このとき、ウエハは45°傾け、すべての側壁にイオンが注入されるようにした。このイオン注入により側壁のポリシリコンはアモルファスとなった(図51(c))。

【0187】続いて、SEGを行うが、この後は第8実施例と同様の工程を行うことにより、第8実施例と同様のMOSFETを形成することができた。

【0188】(実施例10)本発明の第10の実施例は第1及び、第2実施例と異なり、SEGを使用しない実施例である。

【0189】以下、図52を用いて本実施例の説明を行う。なお、前実施例と同様、同等の箇所には同一の番号を付記し、説明を省略する。

【0190】本実施例ではSEGの代わりにアモルファスシリコンをウエハ全面に堆積した後、熱処理を行い、固相エピタキシャル成長により、アモルファスシリコンを単結晶シリコンに変質させ、MOSFETの各要素と

29

する製造方法である。

【0191】この際、第1の絶縁膜上に固相エピタキシャル成長は、横方向固相エピタキシャル成長(L-SPE)と呼ばれ、ウエハ上の面方位によりL-SPEの速度が異なるなどの特徴がある。この特徴を生かし、MOSFETの長手方向にL-SPEの成長速度の速い面を配置し、MOSFETの短手方向にL-SPEに成長速度の遅い面を配置することにより、良好な単結晶シリコンを得るものである。

【0192】第10実施例の製造方法を、順を追って説明する(図52、図53)。

【0193】第2の絶縁膜のパターニングにより、MOSFETの各要素が配置される領域を決定し、第1の絶縁膜の開口により、SEGのシード部1551を決定し、アモルファスシリコンを堆積し、第1及び、第2の絶縁膜側壁を除いてアモルファスシリコンを除去するところまでは、第1実施例と同様である。ただし、このときウエハの面方位によりMOSFETの長手方向1552、1552'、及び、短手方向1553、1553'は検討しておく必要がある。すなわち、結晶軸<100>のウエハ上においては、(110)方向よりも(010)方向のほうがL-SPEの成長速度が速いということ

を考慮する必要がある。

【0194】ウエハを化学的手法により洗浄した後、アモルファスシリコンを温度250℃、圧力0.5 Torr、使用ガスSiH₄、H₂、B₂H₆、パワー10Wの条件により堆積した。第1実施例と同様に、SiH₄、B₂H₆の流量を制御することにより、所望の膜厚、及び、濃度を得ることができた(1531、1532)。

【0195】続いて、拡散炉において、600℃、N₂雰囲気中で熱処理を行いL-SPEを行った。60分の熱処理の結果(110)方向には0.3μm、(010)方向には0.7μm成長した。続いて、本ウエハにレジストを塗布し、エッチバックにより第2の絶縁膜上のアモルファスシリコンを除去した(1541、1542)。

【0196】続いて、第2の絶縁膜、及び、Si₃N₄膜を除去し、単結晶シリコンの島を形成できた。

【0197】この後の工程は第8実施例と同様であり、第8実施例と同等の特性を持つMOSFETを形成することができた。

【0198】本実施例においては、L-SPEによる単結晶シリコン部分が、第2の絶縁層の除去部分、すなわち、MOSFETの各要素を配置する領域と同一にすることが望ましい。

【0199】なぜならば、L-SPEが第2の絶縁層の除去部分に達しない場合は、当然、MOSFET各要素における結晶性が劣悪になることは理解できることである。また、L-SPEが第2の絶縁層の除去部分を越え

30

て、第2の絶縁膜上に達した場合は、第2の絶縁膜の側壁部分に双晶など、劣悪な結晶を形成する可能性があることが挙げられる。

【0200】(実施例11)本発明の第11の実施例を図54を用いて説明する。前実施例と同様、同等の箇所は同一の番号を付記し、説明は省略する。

【0201】本実施例では、第2の絶縁膜を除去した後、第1の絶縁膜上に、アモルファスシリコンを堆積し、第1の絶縁膜上に成長する単結晶シリコンの結晶性を良好なものにするためのものである。

【0202】以下、順を追って、第11実施例の製造方法を説明する。

【0203】第2の絶縁膜のパターニングにより、MOSFETの各要素が配置される領域を決定するところまでは、第1実施例と同様である。この後、プラズマCVDによりアモルファスシリコンを25nm堆積した。この時の条件は、温度250℃、圧力0.5 Torr、使用ガスSiH₄、H₂、パワー10Wであった。続いて、レジストを塗布し、第2の絶縁膜上のアモルファスシリコンを除去した後(図54(b))1551、SEGのシード部分、即ち、MOSFETのチャネル部分のアモルファスシリコン、及び、第1の絶縁膜であるSiO₂膜をドライエッチングにより除去した。

【0204】次に、第8実施例と同様にSEGを行い、単結晶シリコンを形成した。この工程以降は、第8実施例と同様の工程を行うことにより、第8実施例と同様のMOSFETを形成することができた。

【0205】本実施例により形成した単結晶シリコンは、第1の絶縁膜側壁付近1552では多少の欠陥が生じているが、MOSFETのチャネル付近には欠陥は生じておらず、使用上の問題は無視できるレベルであった。

【0206】(実施例12)本発明における本実施例では図55に示すように、MOSFETの各要素が配置される単結晶シリコンの領域が2つ以上のシードからのSEGにより形成されるものである。

【0207】これにより、2つ以上のMOSFETのソース、ドレインを共通化することが可能であり、回路設計上、集積度を向上させることが可能であり、設計上の自由度が向上する。

【0208】図55において1551、1561はSEGのシード部分、1023、1023'はゲート配線、1018はドレイン配線、1018'1018''はソース配線である。1562は1つのシリコン領域である。

【0209】(実施例13)本実施例は第12実施例の応用であり、図56に示すように、MOSFETの各要素を配置するシリコン領域が2つ以上の四角形から形成されており、かつ、SEGNOシードを1つのシリコン領域1563に対し、設計の自由度は、更に向上し、高

集積、高性能化が実現可能である。

【0210】（実施例14）本発明では、ゲート電極の少なくとも1つ以上が基板に対し、垂直に位置しているMOSFETについて、その製造方法を説明してきたが、本実施例の図57に示すように、前記構造以外のMOSFETの製造方法にも応用可能であり、MOSFETの形を限定するものではない。すなわち、すべてのSOI型MOSFETに適用可能である。

【0211】ここで、(a)は(b)のYY'線による断面図である。

【0212】以上説明した実施例8~14によれば、SOI型MOSFETの製造時に、SEG等により形成される単結晶半導体領域を同一膜、あるいは2つ以上の種類の膜により形成される2層以上の絶縁膜により限定することにより、自己整合的にSOI型MOSFETを形成可能である。

【0213】更に、本発明によれば、SEGのシード、あるいは、半導体基板との接触領域以外の、絶縁層と、SEG等により形成される単結晶半導体領域の間に、多結晶、或は、アモルファス半導体層を挟むことにより、上記半導体領域に形成されるトランジスタのリーク電流等を抑えることができ、高性能なトランジスタを形成することが可能となった。

【0214】（実施例15）本発明による第15実施例について、図58を用いて詳細に説明する。図58は本発明の第15実施例のメモリセルの上面図である。1001、1001'はワード線、1002、1002'はビット線、1003、1003'は電源ライン、1004はメモリセル内のスイッチングトランジスタとして動作する活性領域を提供するSi単結晶体、1005は電源ラインとドレイン層とのコンタクト領域、1006はトランジスタのドレイン層、1007はトランジスタのゲート部分、1008はトランジスタのソース層、1009はソース層とビット線間に設けられた電気的に破壊可能なPN接合を提供する為のP型半導体層である。図58に示したX1 X1'、X2 X2'、X3 X3'、YY'断面図をそれぞれ図59、図60、図61、図62に示す。図59において、1012はP型Si基板でたとえば、数 Ω cmの抵抗率のものを使用する。1013はp+型埋め込み層、1014は、フィールド酸化膜、1015は、層間絶縁膜で、PSG、BPSG、SiN、SiON等が使用可能である。1016はドレイン直下に設けられたP型層、1017はドレインn+高濃度層、1018はドレイン電源用配線で、図の1019のコンタクト部を介して、ドレイン層1017に接続している。図58とこの図59との対応は図58ドレイン層1006が、図59の1017に、図58のコンタクト部1005が、図59の1019に対応する。図59では、パシベーション膜は省略した。

【0215】図60は、メモリセル部のトランジスタの

ゲート部の断面図である。

【0216】図60において、1021はチャネル領域でたとえば、不純物濃度として $5 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-3}$ の半導体よりなる。1022はゲート絶縁膜で、ゲート長によりその酸化膜厚は、変更する必要があるが、約60Å~250Å程度である。

【0217】これは、Si酸化膜のみならず、SiON、又は、SiO₂とSiONとの積層膜でも良い。1023はゲート電極である。たとえば、下地がp+型ポリシリコンで上層がW_xSi_{1-x}のポリサイド構造等、低抵抗でかつ、トランジスタのしきい値が所望のものになる仕事と関数を有するものを選択する。1024はドレイン電源用配線の断面で、図58の1003に、1025はビット線配線の断面で、図58の1002に対応する。図60からわかるように、チャネル領域1021は、ゲート絶縁膜1022と、p層1016とに規定されている。したがって、本トランジスタのチャネル幅は、d₁、d₃の加算値即ち2d₁+d₃となる。フィールド酸化工程により、このチャネル領域1021下部のゲート絶縁膜厚は、図60の1026に示すように変化し、その値を制御することは比較的難しい。しかしながら、本トランジスタにおいては、実際動作するチャネル領域は、下地のp領域で規定されているので膜厚ゆらぎの影響を受けず、各トランジスタのバラツキは極めて少ないものとなる。

【0218】図61はメモリセル部のトランジスタのソース領域の断面図である。図61において、1030はソース層であるn+-Si領域、1031'はそのソース上に設けられた薄膜で、この薄膜の破壊、非破壊によりメモリの導通、非導通状態を規定する。その薄膜に、コンタクト領域1033を介して、ビット線配線1032に接続している。上記層薄膜としては、ここではP型半導体層を挙げて説明しているがたとえば、SiO₂、SiON、SiO₂とSiNとの積層構造、酸化アルミニウム、酸化タンタル等の絶縁層を用いることもできる。

【0219】次に、図58のYY'断面である図62について説明する。

【0220】図62においても前回と同様、同等箇所は同一記号で記し、説明は省略する。図62に示すように、2000で示されるMOSのドレイン領域は2つのMOSの共通ドレイン構造となっており、本図で示す通り2つのセルが共通の電源ラインをもつことにより、本メモリの集積度をアップすることが可能となっている。また、この断面でのゲート電極構造は通常のMOSFETと同等の構造であるが、図60に示すようにこの断面と直交する断面で見ると、側壁部に対向するようにゲート電極が配置されている。

【0221】又、上部にもゲート電極は設けられてはいるものの、図60に示すd₁、d₃の関係を

$d_3 < d_1 \cdots$ 式(1)

とすれば、ゲート電圧をあげても、そのポテンシャルが両側から持ち上げられるため、チャネル領域の電界は通常のMOSFETに比べて緩和される。又、さらにポテンシャルの変化の仕方がチャネル領域全体で変化するため、この両者の効果によりトランジスタONに大電流を通すことが実現でき、駆動能力が高い良好な特性が得られる。

【0222】図63は実施例15による、3×3セルの半導体メモリを示す回路図である。

【0223】1つのセルはアドレス用トランジスタ1040とメモリ要素1041とを有している。1041'は破壊前はPN接合を形成するので整流性をもつが破壊後は整流性をもたない。

【0224】1001、1001'、1001''、1001'''はFETの各ゲートに接続されたワード線である。

【0225】1002、1002'、1002''は各メモリ要素の一方に接続されたビット線である。

【0226】1003、1003'、1003''は電源線である。又、メモリの周辺回路として、ビット線の電圧を基準電圧にセットするビット線電圧セット回路1042、ワード線電圧セット回路1043、ビット線を順次選択する信号を発生する信号発生回路1044、ビット線選択スイッチ1045、1045'、1045''ビット線読出しライン1048をリセットするスイッチ1046、アンプ1047を有する。

【0227】以下、上述した半導体メモリの動作について説明する。

【0228】まず始めに、書き込み動作について説明する。この動作は次の4つの主動作を含む。

【0229】

(1) 書き込み動作その1：(ビット線プリチャージ)
ビット線を1042の電圧セット回路により、基準電圧 V_{DD} に設定する。これにより、電源ラインとビット線間には、電位差がなくなり、ワード線にいかなる電圧が印加されようが、FETのソース・ドレイン間には、電位の発生もしくは電流は流れず上記1041に示す絶縁膜は破壊されない。このビット線のプリチャージ電圧は、電源電圧と同等でもよいが、同等でなくともその時は上記絶縁膜領域が破壊し、導通状態にならないようにする。 V_{DD} の値としてはたとえば、1～5V程度で可能である。

【0230】(2) 書き込み動作その2：(ワード線ディスチャージ)

全ワード線の電圧を第1グラウンド電位 V_{GND1} に固定する。たとえば、0Vとすれば良い。これは、書き込み動作を行うワード線に隣接するワード線にクロストークにより信号の混入を防ぐために行う。

【0231】(3) 書き込み動作その3：(書き込みワ

ード線の選択)

今回の書き込みビットが、図63における左上のセルを原点として、2行2列目のセルの場合には、書き込みビットのあるワード線は図63の1001'となる。したがってこのワード線の電位を V_G とする。ただし、この時 V_G は

$V_{GND1} < V_G < V_{GB} \cdots$ 式(2)

である。 V_{GB} は、ゲート絶縁膜破壊電圧である。

【0232】

10 (4) 書き込み動作その4：(ビット線選択)

選択されたラインに存在する書き込みセルに対応したビット線電位をグラウンド電位に設定する。すると、選択されているラインのFETはすべてオン状態になっているため、ビット線電位をグラウンド電位にすることにより、絶縁膜に高電圧が印加され、絶縁膜が破壊され導通状態になる。この書き込み動作は、書き込み完了によりビット線とワード線間に電流が流れるため、ビット線選択を順次やることが望ましいが、複数のビット線を同時に書き込むことも可能である。

20 【0233】次に読出し動作について説明する。この動作は次の4つの主動作を含む。

【0234】

(1) 読出し動作その1 (ビット線プリチャージ)

書き込み時と同様の動作により行う。これは、読出し動作により書き込まれていないビットに書き込まないためである。その時の電圧は電源電圧 V_{DD} と同等レベルで良い。

【0235】

(2) 読出し動作その2 (ワード線ディスチャージ)

30 全ワード線の電圧を第2グラウンド電位 V_{GND2} に固定する。ただし、第2のグラウンド電位 V_{GND2} と第1のグラウンド電位 V_{GND1} とは、
 $V_{GND1} < V_{GND2} \cdots$ 式(3)

との関係を有する。

【0236】

(3) 読出し動作その3 (読出すラインの選択)

読出しを行うラインのワード線の電位を式(2)で定められた範囲の V_G に固定する。これにより上記ラインのFETはON状態となる。

40 【0237】(4) 読出し動作その4 (ビット線読出しラインリセット)

ビット線読出しライン1048をスイッチ1046によりリセットする。そのリセット電位は、上記スイッチ1046に接続されている電源により決定するが、その電位を V_{GND2} とする。その後、1046のスイッチをOFFし、ビット線読出しラインをフローティング状態にする。

【0238】

(5) 読出し動作その5 (ビット線の選択)

50 ビット線順次選択信号発生回路1044により、選択ビ

35

ット選択スイッチのゲートを高レベルとし、スイッチをON状態にし、ビット線読出しラインと接続する。今、選択セルが書き込まれない場合、ビット線の容量を C_{BIT} 、読出しラインの容量を C_{OUT} とすると読出しラインの電圧は

【0239】

【外2】

$$\frac{C_{BIT} \cdot V_{DD} + C_{OUT} \cdot V_{GNDZ}}{C_{BIT} + C_{OUT}}$$

に収束する。

【0240】一方、選択セルが書き込まれており、絶縁膜導通状態になっている場合は、この読出しラインはトランジスタを介して電源 V_{DD} と接続された状態にある。したがって、読出しラインの電圧は V_{DD} に収束する。この差により、書き込まれたセル（ビット）か書き込まれていないかが判明する。この電圧は、アンプ1047により検出する。以上の動作により読出しを行うわけであるが、書き込み状態の場合、読出しラインの電位が V_{DD} に収束する時間が読出しスピードを決定する。大容量メモリになればなる程、ビット線及びビット線読出しラインの容量は増大する。したがって、この大きな容量をいかにドライブできるかがカギとなり微細でかつ高駆動能力をもつ前出のトランジスタ構造が極めて、有効となる。

【0241】本実施例で、グランド電位を2種類設け、動作を行ったのは読出し動作時に、絶縁膜が破壊されないためである。つまり読出し動作時に絶縁膜の両端に印加される電位差を書き込み時より小さく設定している。

【0242】次に、本発明の実施例15の製造方法について図64乃至図68を用いて説明する。図64、図65、図66、図67は図60に相当する断面図、図68は図62に対応する。

【0243】まず、準備されたP型シリコン基板1012表面にボロンのイオン注入を行い、約900℃でイオン注入層の不純物の活性化を行う。p+高濃度層1013形成後、本ウエハを洗浄し、エピタキシャル成長装置に入れ、シランの還元により、表面に形成されている自然酸化膜を除去し、850℃という低温によりP層が2 μm 、P-層1021が0.5 μm になるように連続的に成長させる。低温エピにより不純物のわき上がりは抑制され、p+-P、P-P-は急峻な結合が得られ、p+層の濃度は 1.0^{19}cm^{-3} 、P層の濃度は 1.0^{17}cm^{-3} 、P-層の濃度は 1.0^{16}cm^{-3} 程となる。本ウエハを熱酸化し、約250Åのシリコン酸化膜1060を形成し、さらにその上部に気相化学堆積法(CVD)により、250Åのシリコン窒化膜1061を堆積した(図64)。

【0244】次に、このウエハをトランジスタ形成領域を残して、レジストをマスクとして、上記シリコン窒化

36

膜1061、上記シリコン酸化膜1060更にはP-層1021、P層1016の各Siエピ層まで、反応性異方性エッチングにより、垂直にエッチング除去する。エッチングによる溝の終端はP層もしくは、P+層中であれば良く、その制御は、デバイス特性上厳密には要求されない。これも、本構造の1つの利点の1つとなっている。次に、パターニングに使用したレジストをハクリし、洗浄後、再度Siが露出している表面に約250Åのシリコン酸化膜1062を形成する。その後、CVDにより、上記表面全体にシリコン窒化膜を堆積させ、異方性シリコン窒化膜エッチにより図65に示すように底面1063シリコン窒化膜のみ除去する。この場合柱状Siの上部のシリコン窒化膜1064は2層から形成されているため残されることになる(図65)。

【0245】次に、約900℃でパイロジェネリック酸化を行い、シリコン窒化膜が形成されていない表面のみ選択的に酸化する。このプロセスにより図66に示すようにフィールド酸化膜1014が形成される。このフィールド酸化工程により、シリコン柱下部は1065に示すように変形するが、変形した領域は、P層1016もしくは、p+層1013から成り、この変形の影響はない(図66)。

【0246】次に、選択酸化に用いたシリコン窒化膜1066と、その下地のパッド酸化膜1067を除去し、露出したSi表面を洗浄後、ゲート酸化膜1022を熱酸化により形成する。さらにPolySi及びW(タングステン)を連続的に堆積し、その後W表面より、ボロンのイオン注入及びアニールによりp+型ポリシリコンと $W_{1-x}Si_x$ とWとからなるゲート電極を形成する。このタイプのトランジスタ動作は、対応するゲート間距離が0.1 μm となっているためチャネル部のポテンシャルを全体的にゲート電位によりコントロールし、ON-OFFさせるものである。したがって、従来のMOSFETよりもしきい値が低くなるがp+層1068により、しきい値を高めている。又ゲート電極上部がWメタル1069からなりワード線の低抵抗化を実現している。

【0247】このゲート電極をパターニング後、このゲートをマスクにn+層を拡散し、ソース層1030、ドレイン層1017を形成する。

【0248】次に図67に示すように、層間絶縁層1015が平坦化し形成される。この平坦化はたとえばテトラエチルオルソシリケート(TEOS)の堆積とエッチバックとを組み合わせることによって実現できる。

【0249】次に、図68に示すようにソース領域1030のみコンタクト穴1070をあける。このコンタクト穴のみSi表面が露出しており、LPCVDでこのコンタクト穴の領域のみp+層400Å~800Åを形成する。その後、電源用及びビット線用配線を成膜し、パターニングし、パシベーション膜を形成し、本セル構造

37

が形成される。本図に示す通り、電源の取り出しは、 n^+ ドレイン領域：1017より取り出され、これはこのドレイン領域左右にあるメモリセル2つ分を共有しているものである。

【0250】この説明においては、 n 型MOSFETに対して説明したが、 p 型MOSFETに対しても導電型を考慮し、同様の工程で作製可能なので説明は省略する。したがって周辺回路は n 型MOSFETと p 型MOSFETより成るCMOS構成により作製できる。

【0251】以上、説明したように本発明の実施例は p n 接合の破壊、非破壊状態により、導通、非導通状態を形成し、従来のDRAMや E^2 PROMと異なり、わずかな蓄積されたチャージを読出す方式ではないため、微細化が進んだ場合でも高 S/N の読出しが可能になる。又、この読出しには新構造のトランジスタを採用し、微細でかつ高い駆動能力特性をもっているため、高集積、高速読出しが実現できる。

【0252】さらに、2メモリセルで1電源を有する形のメモリセル構造をとっているため、さらなる高集積化が実現できる。

【0253】（実施例16）次に本発明の実施例16について図69を用いて説明する。図58と同等の箇所に關しては同一番号で示し説明は省略する。

【0254】実施例15の構成と異なる点は、図69に示されるようにメモリセルの電源の取り出しを電源ライン1003の左右に配置し、2メモリセルで1電源ラインを有する構造から、4メモリセルで1電源ラインを有する構造に変えた点である。

【0255】したがって今までセル個数が $2n$ 個に対して電源ライン1ラインを配置していたものがセル個数が $4n$ 個に対して電源ライン1ラインを配置すれば良く、電源ラインに必要とした配線を省くことが可能となる。これにより、このメモリセルの小チップ化、高集積化が実現できる。また、ここでの電源ライン1003、1003'はA1系配線で形成されており、本メモリセルの配線抵抗も十分低くできる。

【0256】（実施例17）次に本発明の実施例17について図70乃至図72を用いて説明する。図58及び図62と同等の箇所については同一番号で示し、説明は省略する。

【0257】ここで、1080は電源ラインのA1系配線、1081は基板 n^+ 層とのコンタクト部、1082は基板 n^+ 層と電源ラインであるA1系配線とのコンタクト部、1083は基板上に形成されたSi酸化膜である。1084は基板に形成された n^+ 層である。

【0258】本実施例においては図70、図72に示すように電源ライン1003は n^+ 層1084により形成され、最終的にコンタクト1082によりA1配線に引き出される。ここにおいて n^+ 層により電源ラインを設けることにより実施例1のようにA1系配線を電源ライ

38

ンとして設けることが必要がなくなり、そのA1配線分だけパターンレイアウトを省くことができ、高集積化が可能となる。また任意のメモリセルを1単価として電源をA1系配線で引き出すことが可能となり、パターン設計の自由度を増すことができる。

【0259】さらに、図72に示すようにドレイン領域1017にA1配線を接続し、電源ラインに接続することも可能である。本図の場合、電源ライン1018は酸化膜1083の存在により配線容量が低減でき、および配線抵抗を低減させることができ、メモリトランジスタの高速化が実現できる。

【0260】（実施例18）次に、本発明実施例18について図73を用いて説明する。図62と同等の箇所については同一記号で示し、説明は省略する。

【0261】ここで、1081は基板 n^+ 層とのコンタクト部、1084は基板に形成された n^+ 層、1085は電源ラインに通じるA1配線、1086は電源ラインのA1系配線である。1087はメモリセルドレインと電源ラインA1とのコンタクト部。

【0262】本実施例においては、図73に示すようにメモリセルのドレイン部1017はA1系金属によって埋め込まれ、最終的に電源ライン1086に引き出される。本実施例の特徴は、各メモリセルトランジスタの各々のドレインを共通A1配線で接続し、そのA1配線を電源ラインとして引き出すことにより、電源ラインをA1系配線のみで形成し、それにより電源ラインの配線抵抗を最小限にすることが可能となったことである。ここで特記すべきことは、電源ラインに通じるA1配線1085、及び電源ラインのA1配線を形成するとき、ジメチルアルミニウムハイドライドと H_2 とを用いたCVD法を使用し、A1系配線材料を埋め込んで配線形成している点である。

【0263】以上のように電源ライン形成時にA1-CVD技術を使用することにより、電源ラインの配線抵抗を最小限にとどめることが可能となり、メモリセルトランジスタの高速化が実現できる。

【0264】以上説明した実施例15～18によれば、 p n 接合等メモリ要素の破壊、非破壊状態により導通、非導通状態を形成し、高い S/N で書き込まれた信号を読み出すことができ、低エラーレート、信頼性の高いメモリが実現できる。

【0265】さらに、電源ラインを複数のメモリセルトランジスタで共通化することにより、また配線材料に低抵抗の材料を使用することにより、本メモリの高集積化、高速化が実現できる効果を有する。

【図面の簡単な説明】

【図1】従来の半導体メモリの一例を説明する為の模式図である。

【図2】従来の半導体メモリの別の例を説明する為の模式図である。

39

【図 3】従来のトランジスタの一例を説明する為の模式的断面図である。

【図 4】従来のトランジスタの一例を説明する為の模式的斜視図である。

【図 5】従来のトランジスタの一例を説明する為の模式的上面図である。

【図 6】従来のトランジスタの一例を説明する為の模式的断面図である。

【図 7】従来のトランジスタの一例を説明する為の模式的断面図である。

【図 8】本発明の参考例 1 による半導体メモリの模式的上面図である。

【図 9】図 8 における X_1 X_1' 線による模式的断面である。

【図 10】図 8 における X_2 X_2' 線による模式的断面である。

【図 11】図 8 における X_3 X_3' 線による模式的断面である。

【図 12】図 8 における Y Y' 線による模式的断面である。

【図 13】参考例 1 による半導体メモリの回路構成図である。

【図 14】参考例 1 による半導体メモリの製造工程を説明する為の模式図である。

【図 15】参考例 1 による半導体メモリの製造工程を説明する為の模式図である。

【図 16】参考例 1 による半導体メモリの製造工程を説明する為の模式図である。

【図 17】参考例 1 による半導体メモリの製造工程を説明する為の模式図である。

【図 18】参考例 1 による半導体メモリの製造工程を説明する為の模式図である。

【図 19】本発明の参考例 2 による半導体メモリの模式的断面図である。

【図 20】参考例 2 による半導体メモリの模式的断面図である。

【図 21】参考例 2 による半導体メモリの模式的断面図である。

【図 22】参考例 2 による半導体メモリの模式的断面図である。

【図 23】本発明の参考例 3 による半導体メモリの模式的断面図である。

【図 24】本発明の参考例 4 による半導体メモリの模式的上面図である。

【図 25】図 24 における X_1 X_1' 線による模式的断面である。

【図 26】図 24 における Y_1 Y_1' 線による模式的断面である。

【図 27】本発明の参考例 5 による半導体メモリの模式的上面図である。

40

【図 28】図 27 における X_1 X_1' 線による模式的断面である。

【図 29】図 27 における X_3 X_3' 線による模式的断面である。

【図 30】本発明の参考例 6 による半導体装置の製造工程を説明する為の模式図である。

【図 31】参考例 6 による半導体装置の製造工程を説明する為の模式図である。

【図 32】本発明の実施例 1 によるトランジスタの模式的上面図である。

【図 33】本発明の実施例 1 によるトランジスタの模式的断面図である。

【図 34】実施例 1 によるトランジスタの製造工程を説明する為の模式図である。

【図 35】実施例 2 によるトランジスタの模式的断面図である。

【図 36】実施例 3 によるトランジスタの模式的断面図である。

【図 37】本発明の実施例 4 による半導体装置の模式的上面図である。

【図 38】本発明の実施例 4 による半導体装置の模式的断面図である。

【図 39】本発明の実施例 5 による半導体メモリの回路構成図である。

【図 40】実施例 5 による半導体メモリの模式的断面図である。

【図 41】実施例 6 による半導体メモリの上面図である。

【図 42】実施例 6 による半導体メモリの断面図である。

【図 43】実施例 6 による半導体メモリの断面図である。

【図 44】本発明による半導体メモリの一例を示す回路構成図である。

【図 45】本発明の実施例 7 による半導体メモリの模式的断面図である。

【図 46】本発明の実施例 8 による半導体装置の製造方法を説明する為の模式的断面図である。

【図 47】実施例 8 による半導体装置の模式的断面図である。

【図 48】実施例 8 による半導体装置の模式的上面図である。

【図 49】実施例 8 による半導体装置の模式的断面図である。

【図 50】実施例 8 による半導体装置の模式的断面図である。

【図 51】実施例 9 による半導体装置の製造工程を説明する為の模式図である。

【図 52】本発明の実施例 10 による半導体装置の製造工程を説明する為の模式図である。

41

【図 5 3】実施例 10 による半導体装置の模式的上面図である。

【図 5 4】実施例 11 による半導体装置の製造工程を説明する為の模式図である。

【図 5 5】実施例 12 による半導体装置の模式的上面図である。

【図 5 6】本発明の実施例 13 による半導体装置の模式的上面図である。

【図 5 7】本発明の実施例 14 による半導体装置を説明する為の模式図である。

【図 5 8】本発明の実施例 15 による半導体メモリの模式的上面図である。

【図 5 9】図 5 8 における X_1 X_1' 線による模式的断面である。

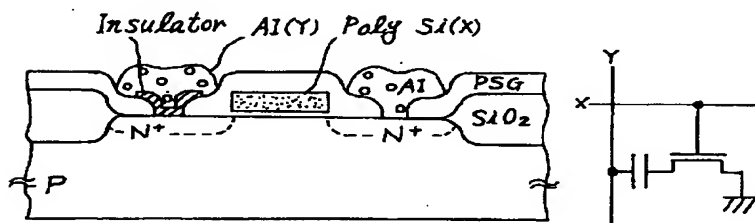
【図 6 0】図 5 8 における X_2 X_2' 線による模式的断面である。

【図 6 1】図 5 8 における X_3 X_3' 線による模式的断面である。

【図 6 2】図 5 8 における $Y Y'$ 線による模式的断面である。

【図 6 3】実施例 15 による半導体メモリの回路構成図 *

【図 1】



42

*である。

【図 6 4】実施例 15 による半導体メモリの製造工程を説明する為の模式図である。

【図 6 5】実施例 16 による半導体メモリの製造工程を説明する為の模式図である。

【図 6 6】実施例 16 による半導体メモリの製造工程を説明する為の模式図である。

【図 6 7】実施例 16 による半導体メモリの製造工程を説明する為の模式図である。

10 【図 6 8】実施例 16 による半導体メモリの製造工程を説明する為の模式図である。

【図 6 9】本発明の実施例 16 による半導体メモリの模式的上面図である。

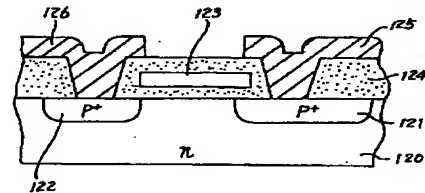
【図 7 0】本発明の実施例 17 による半導体メモリの模式的上面図である。

【図 7 1】実施例 17 による半導体メモリの模式的断面図である。

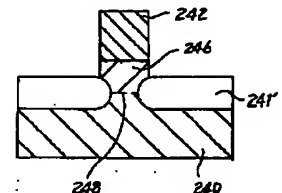
【図 7 2】実施例 17 による半導体メモリの模式的断面図である。

20 【図 7 3】本発明の実施例 18 による半導体装置の模式的断面図である。

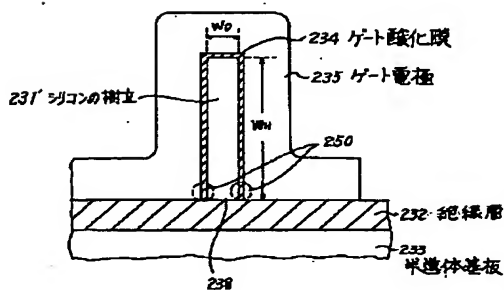
【図 2】



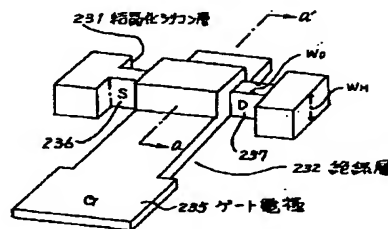
【図 7】



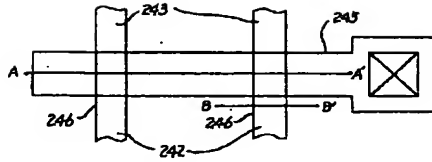
【図 3】



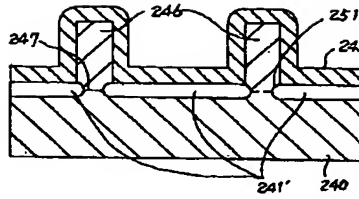
【図 4】



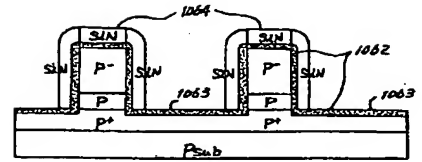
【図5】



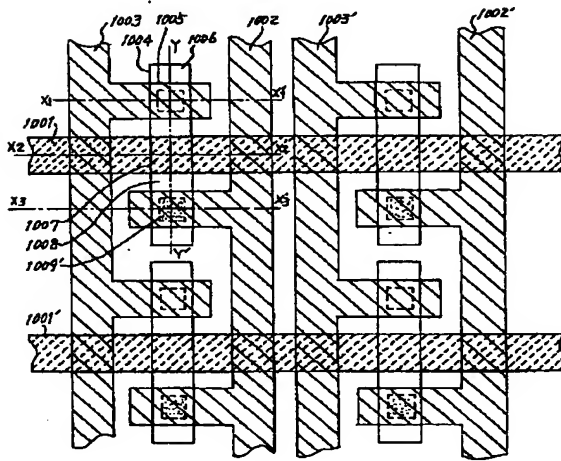
【図6】



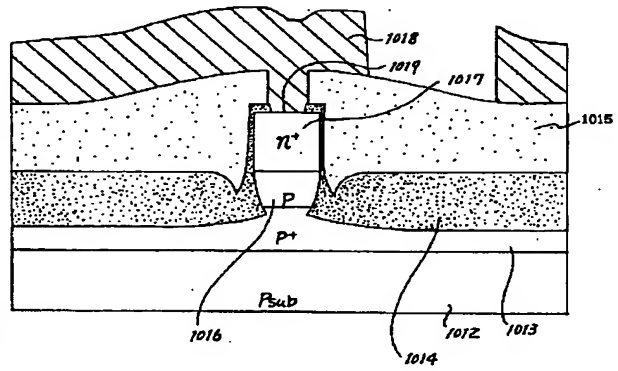
【図15】



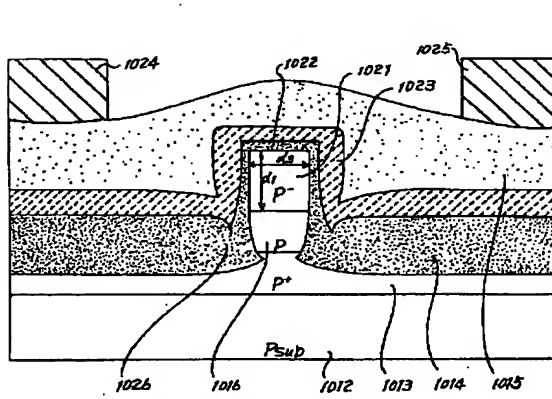
【図8】



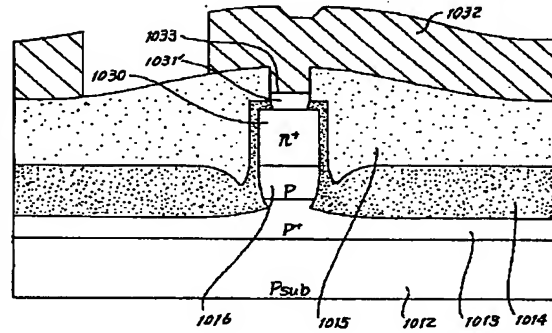
【図9】



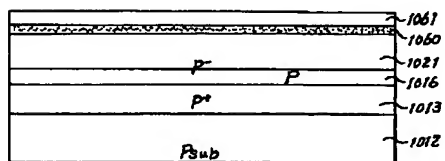
【図10】



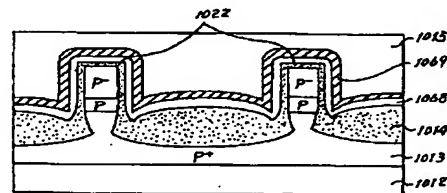
【図11】



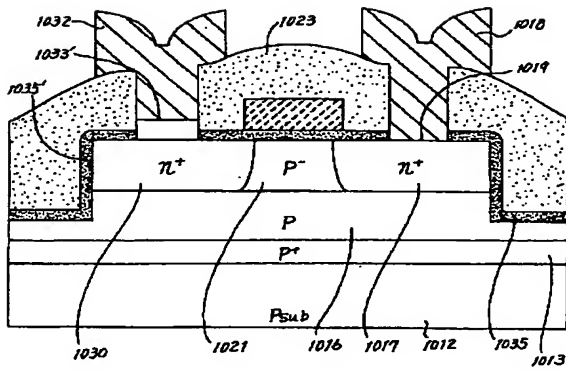
【図14】



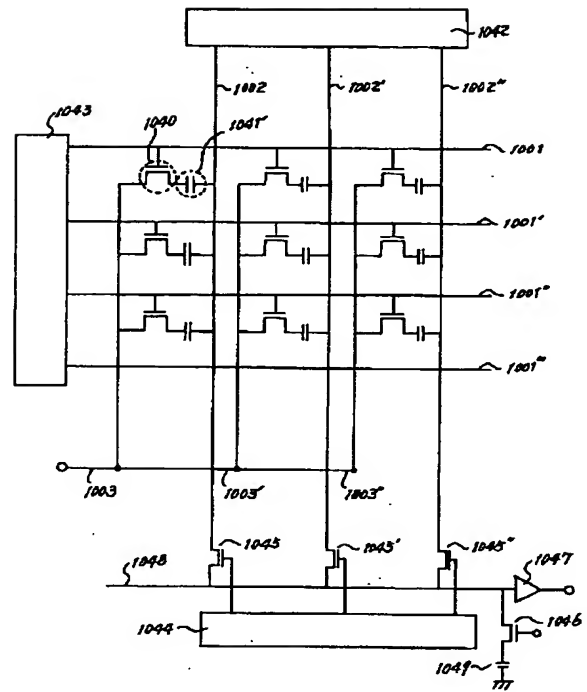
【図17】



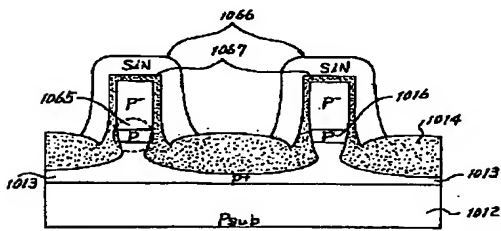
【図 12】



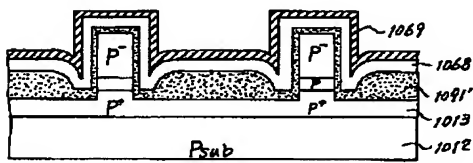
【図 13】



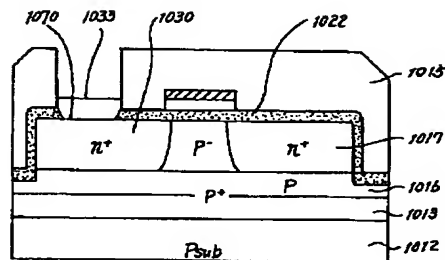
【図 16】



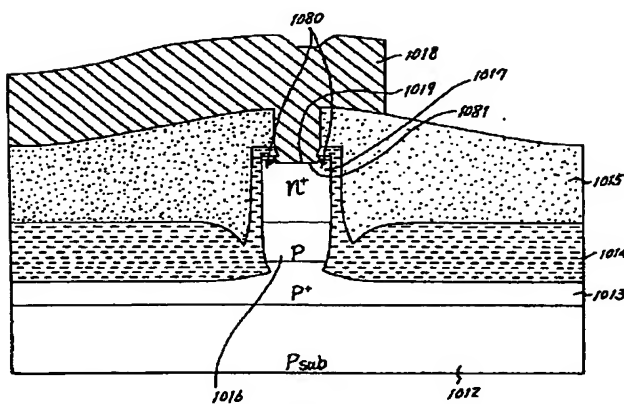
【図 31】



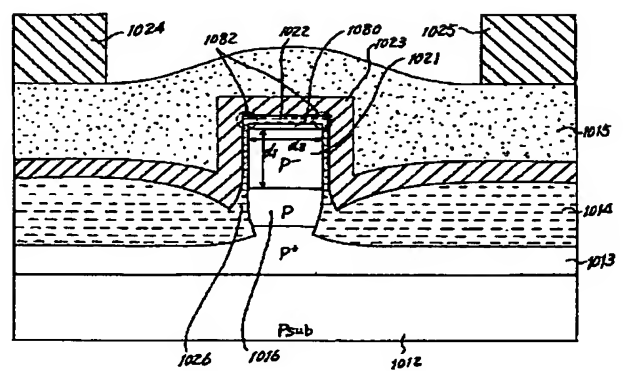
【図 18】



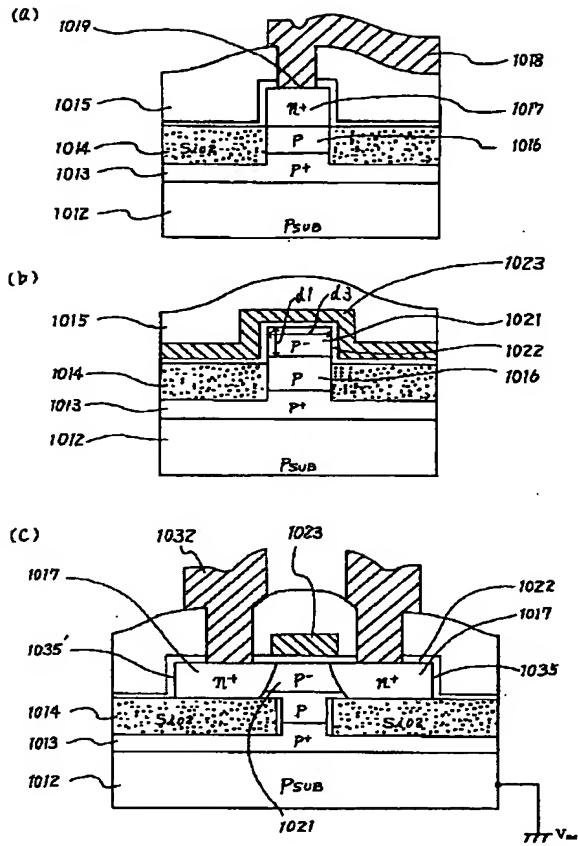
【図 19】



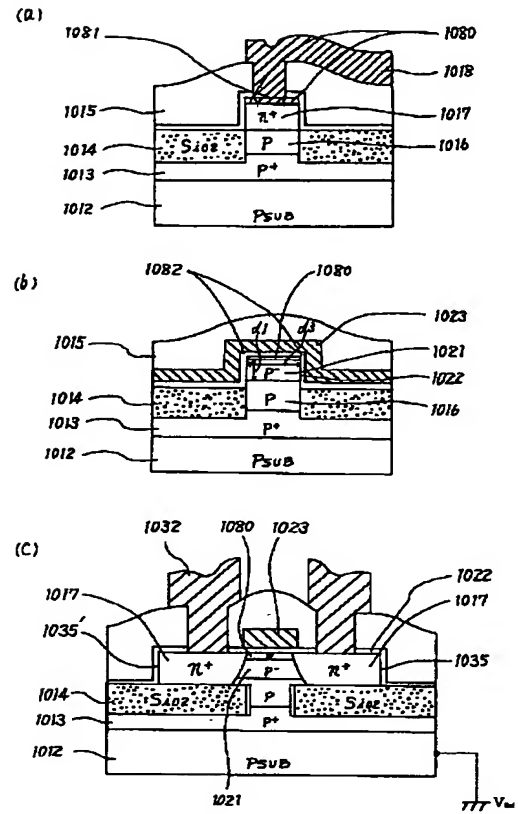
【図 20】



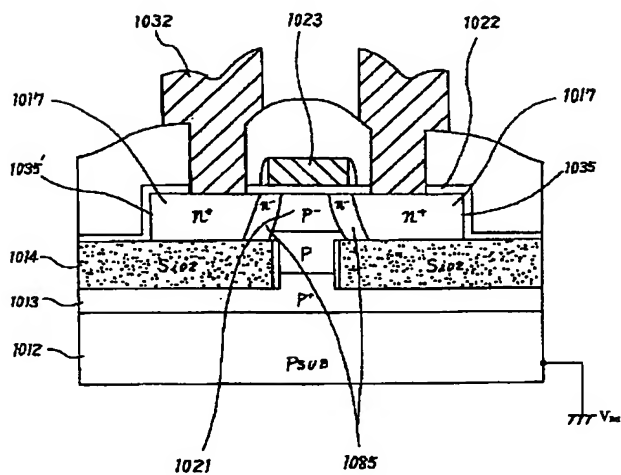
【図 3 3】



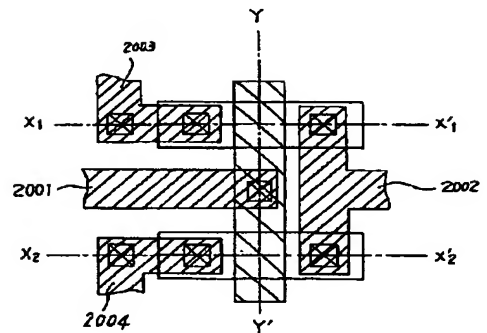
【図 3 5】



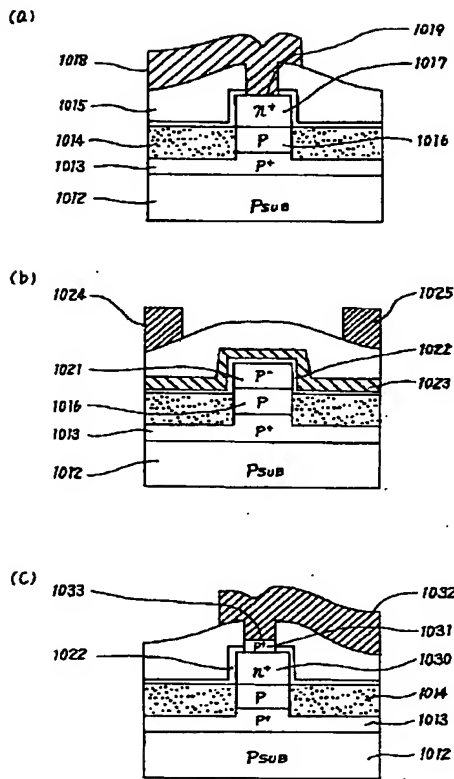
【図 3 6】



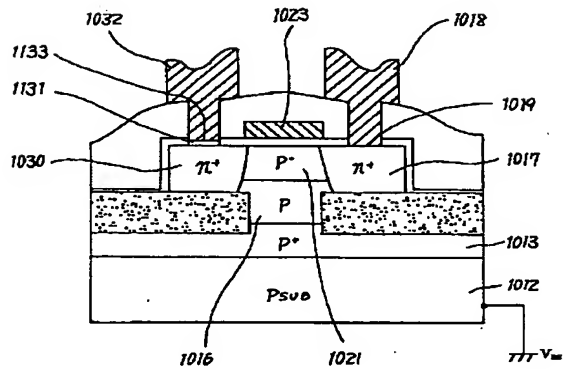
【図 3 7】



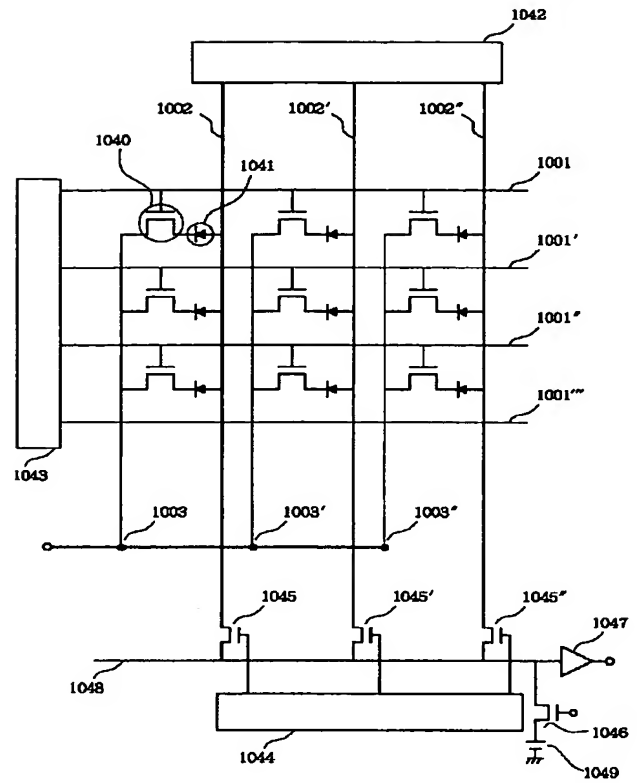
【図 4 2】



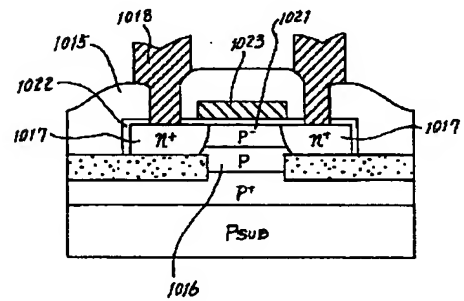
【図 4 5】



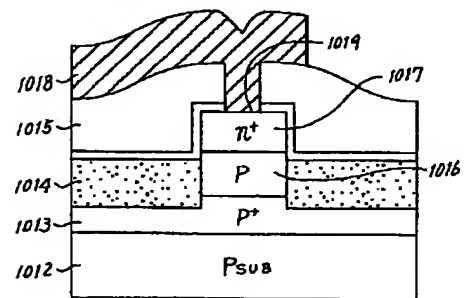
【図 4 4】



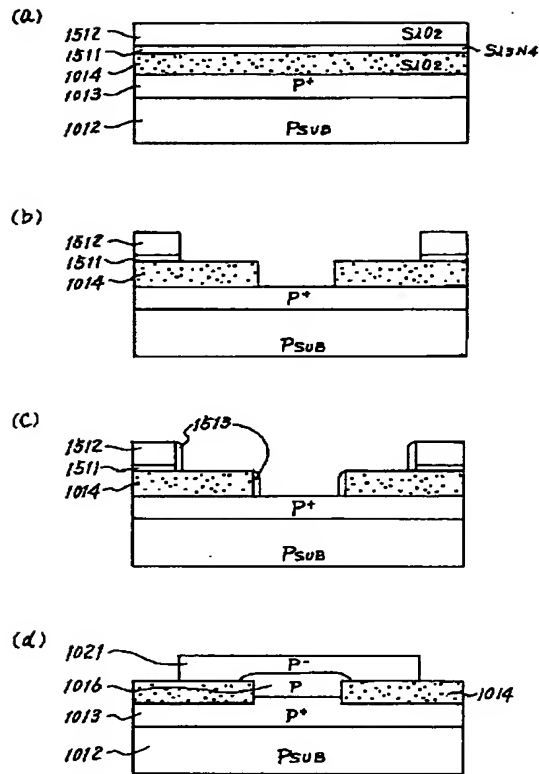
【図 4 7】



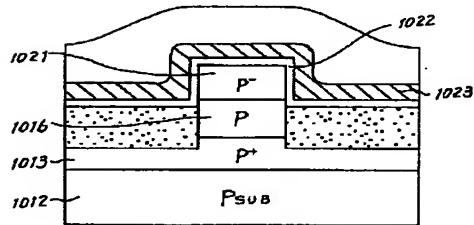
【図 4 9】



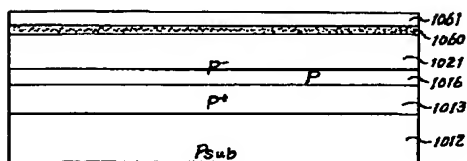
【図 4 6】



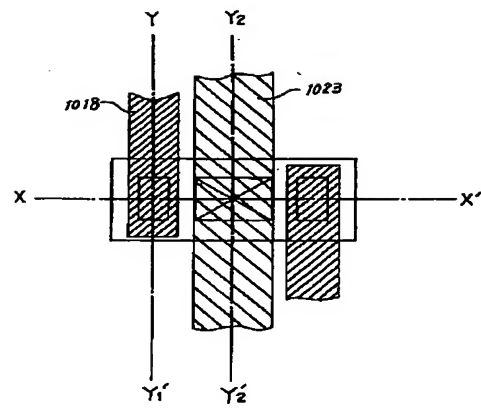
【図 5 0】



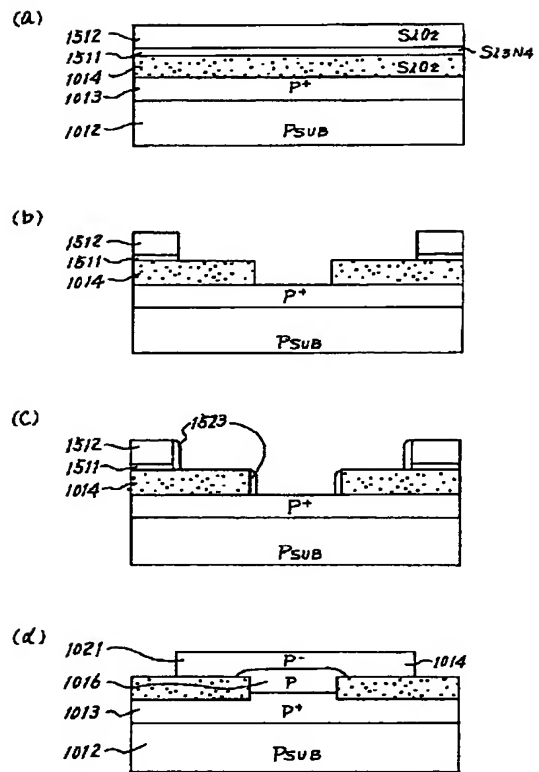
【図 6 4】



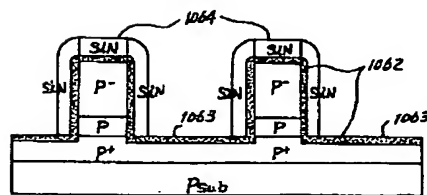
【図 4 8】



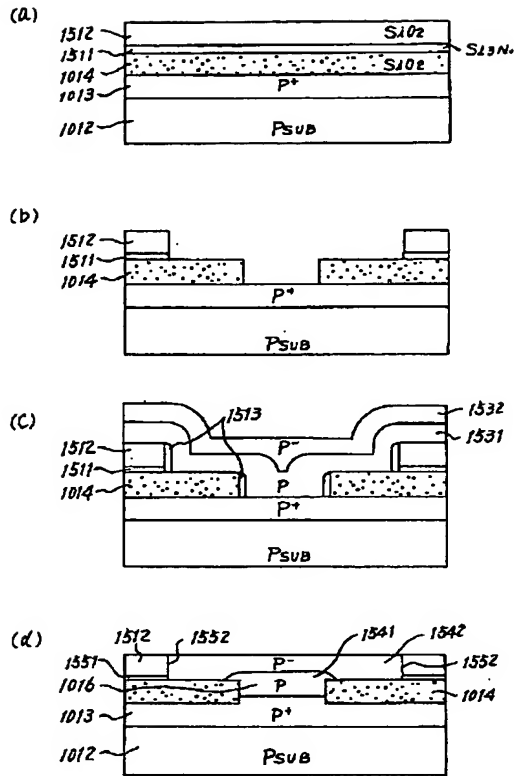
【図 5 1】



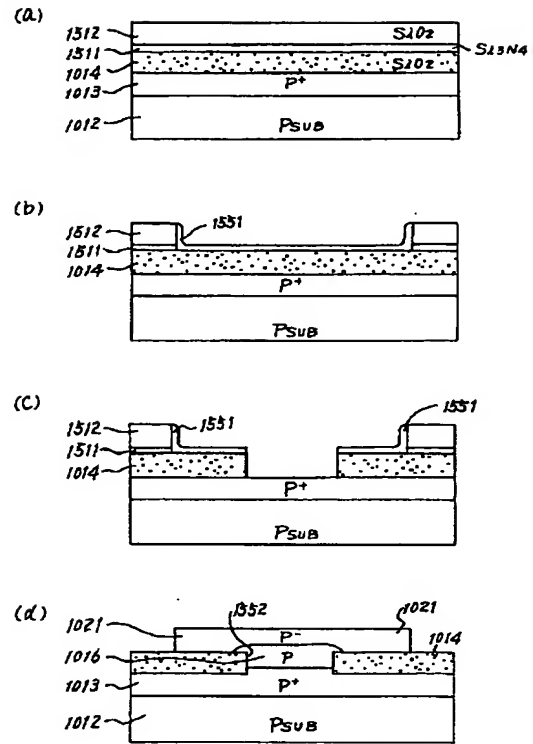
【図 6 5】



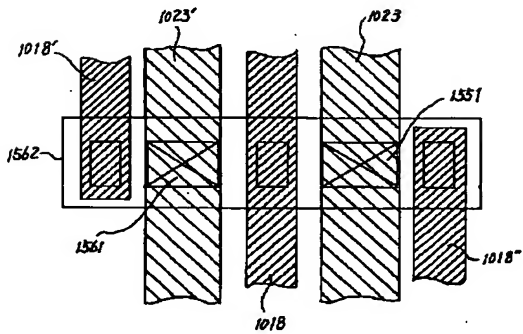
【図52】



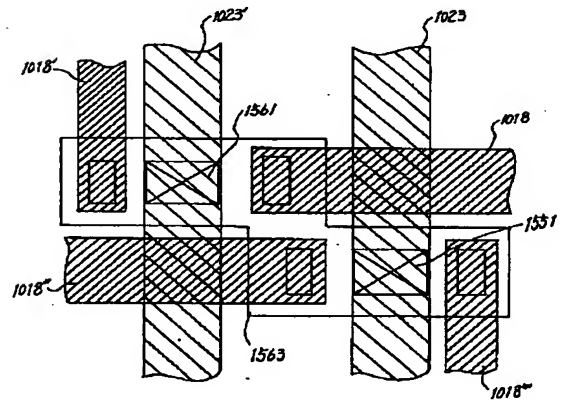
【図54】



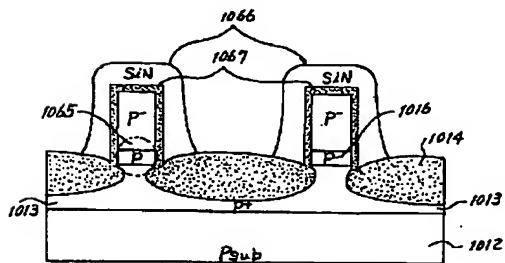
【図55】



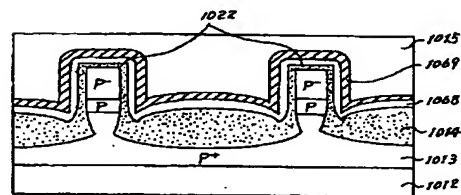
【図56】



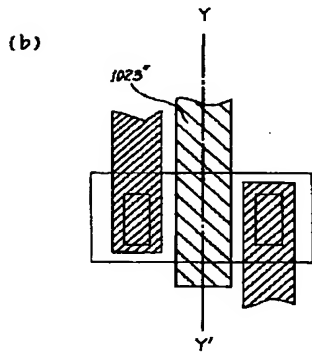
【図66】



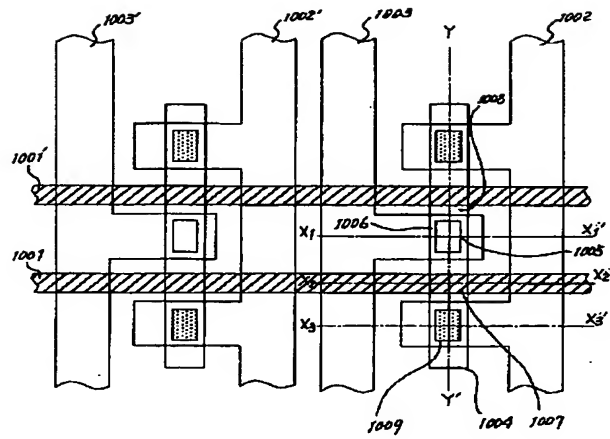
【図67】



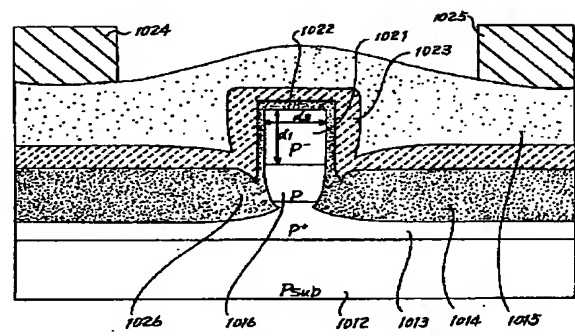
【图 5 7】



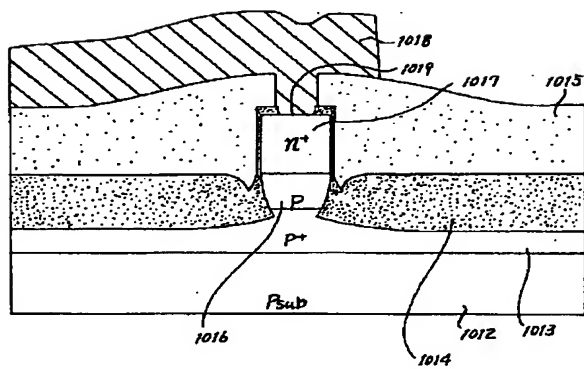
【图 5 8】



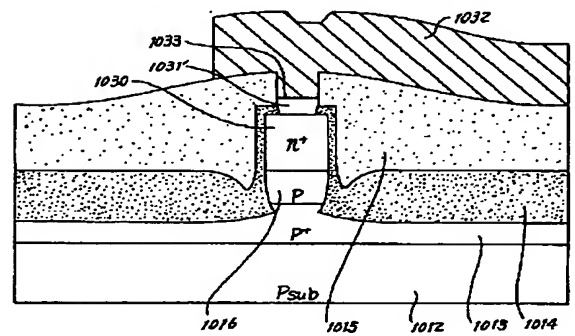
【図 60】



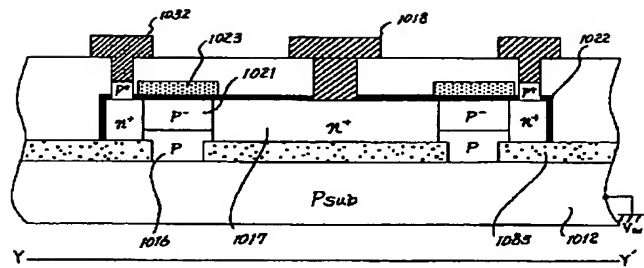
【图 5 9】



【図 6 1】



【図 7 2】



A detailed cross-sectional diagram of a semiconductor device. The structure consists of several layers and regions. At the base is a substrate labeled 1012. Above it is a layer labeled 1017. A central region is labeled P_{sub} . Above this, there are several layers and regions: a layer labeled 1030, a layer labeled 1022, a layer labeled 1033, a layer labeled 1032, a layer labeled 1023, a layer labeled 1037, a layer labeled 1036, a layer labeled 1035, and a layer labeled 1034. The device features several regions labeled with symbols: π^+ , P^- , π^* , P , and π^- . A layer labeled 1081 is also present. The diagram is labeled with various numbers: 1022, 1033, 1032, 1023, 1037, 1036, 1035, 1034, 1030, 1017, 1081, 1085, 1084, and 1012. A small symbol T_{max} is located at the bottom right corner.

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 3 1	8831-4M		
27/115				
29/784				
29/788				
29/792				
		8225-4M	H 0 1 L 29/78	3 0 1 X
				3 7 1

(72)発明者 宮脇 守
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内